

SLOVENSKÁ TECHNICKÁ UNIVERZITA V BRATISLAVE
Fakulta elektrotechniky a informatiky
Ústav elektroniky a fotoniky

Autonómna digitálna kalibrácia analogových IO na čipe

Autonomous on-chip digital calibration of analog integrated circuits

Autoreferát dizertačnej práce
na získanie vedecko-akademickej hodnosti Philosophiae Doctor (PhD.)

v študijnom programe: Elektronika a fotonika
v študijnom odbore: Elektrotechnika
forma štúdia: denná

Evidenčné číslo: FEI-104404-80593

autor: Ing. David Maljar
školiťka: prof. Ing. Viera Stopjaková, PhD.

Bratislava, júl 2024

Dizertačná práca bola vypracovaná na Ústave elektroniky a fotoniky,
Fakulta elektrotechniky a informatiky Slovenskej technickej univerzity v Bratislave.

Predkladateľ: **Ing. David Maljar**
Ústav elektroniky a fotoniky
Fakulta elektrotechniky a informatiky
Slovenská technická univerzita v Bratislave
Ilkovičova 3, 841 04 Bratislava
email: david.maljar@stuba.sk

Školiteľka: **prof. Ing. Viera Stopjaková, PhD.**
Ústav elektroniky a fotoniky
Fakulta elektrotechniky a informatiky
Slovenská technická univerzita v Bratislave
Ilkovičova 3, 841 04 Bratislava
email: viera.stopjakova@stuba.sk

Oponenti: **prof. Ing. Miroslav Husák, CSc.**
Katedra mikroelektroniky
Fakulta elektrotechnická
České vysoké učení technické v Praze
Technická 1902/2, Praha, ČR
email: husak@fel.cvut.cz

doc. Ing. Ondrej Kováč, PhD.
Katedra technológií v elektronike
Fakulta elektrotechniky a informatiky
Technická univerzita v Košiciach
Park Komenského 2, 040 01 Košice
email: ondrej.kovac@tuke.sk

Autoreferát bol rozoslaný dňa:

Obhajoba dizertačnej práce sa koná dňa 21. augusta 2024 o 11:00 hod. prezenčnou formou pred komisiou pre obhajoby dizertačných prác v študijnom programe Elektronika a fotonika v študijnom odbore Elektrotechnika.

Predseda skúšobnej komisie
prof. Ing. Ivan Hotový, DrSc.

Dekan fakulty FEI STU v Bratislave
prof. Ing. Vladimír Kutiš, PhD.

Obsah

Úvod a motivácia	3
1 Aktuálny stav problematiky	5
1.1 Návrh nízkonapäťových AIO	6
1.1.1 Tranzistorová úroveň návrhu	6
1.2 Metódy potlačenia vplyvu PVT variácií	7
1.2.1 Tranzistorová úroveň návrhu	7
1.2.2 Topografická úroveň návrhu	7
1.2.3 Aplikačná úroveň návrhu	8
1.2.4 Zhrnutie	9
1.3 Kalibrácia AIO	10
1.3.1 Trimovanie poistkami	10
1.3.2 Chopper kompenzačná technika	11
1.3.3 Auto-zero technika	12
1.3.4 Analógová kalibrácia AIO	13
1.3.5 Digitálna kalibrácia AIO	13
1.3.6 Porovnanie kompenzačných techník a kalibračných metód	14
2 Ciele dizertačnej práce	17
3 Návrh digitálnej kalibrácie obvodu FDDA	18
3.1 Doterajší výskum digitálnej kalibrácie AIO	18
3.1.1 Princíp digitálneho kalibrovania	18
3.1.2 Prehľad dosiaľ dosiahnutých výsledkov	20
3.2 Princíp samokalibračného systému FDDA	23
3.3 Návrh kalibračného systému	24
3.3.1 Napäťový komparátor	24
3.3.2 Riadiaca logika: generovanie signálov CLK_{MAIN} a CLK_{AUX}	24
3.3.3 Počítadlá	26
3.3.4 D/A prevodníky	27
3.4 Modelovanie vplyvu kalibračného obvodu	29
3.4.1 Z_{OUT_1st} FDDA pred kalibráciou	30
3.4.2 Z_{OUT_1st} FDDA po kalibrácii	32
3.5 Topografia kalibračného systému	34

3.6	Verifikácia digitálnej kalibrácie FDDA	35
3.6.1	Výsledky simulácií	38
3.6.2	Výsledky meraní	43
3.6.3	Diskusia k dosiahnutým výsledkom	47
4	Návrh kalibračného systému pre napäťovú referenciu	53
4.1	Princíp činnosti kalibračného systému	53
4.2	Návrh blokov kalibračného systému	54
4.2.1	Napäťová referencia	54
4.2.2	V/I prevodník	56
4.2.3	Oscilátor	57
4.2.4	Počítadlo a vyhodnocovací blok	58
4.3	Verifikácia navrhnutého systému	58
4.3.1	Výsledky simulácií	58
4.3.2	Cyklus digitálnej kalibrácie NR	59
4.3.3	Diskusia k dosiahnutým výsledkom	64
	Zhrnutie dosiahnutých výsledkov a prínosov	66
	Záver	68
	Literatúra	69
	Publikácie autora súvisiace s témou práce	76
	Vedecké časopisy	76
	Príspevky z konferencií v databázach WoS alebo Scopus	77
	Príspevky z doktorandských a iných konferencií	78
	Ostatné publikácie autora	79

Úvod a motivácia

Trend zvyšovania výpočtového výkonu a zároveň znižovania spotreby energie a veľkosti plochy kladie pomerne prísne požiadavky na návrh súčasných integrovaných obvodov (IO). Práve tento trend prináša dopyt po návrhu nízkonapätových (NN) a nízkopríkonových IO a nalieha na zvyšovanie hustoty integrácie obvodových elementov (OE). Zmenšovanie rozmerov OE IO z hľadiska zvyšovania hustoty integrácie zvyšuje náročnosť výrobného procesu, do ktorého je z tohto dôvodu vnesená určitá miera chybovosti. Okrem toho sa výrobný proces stáva komplikovanejším a deklaruje rôzne obmedzenia. Nežiaducim faktorom je náhodná fluktuácia parametrov výrobného procesu, medzi ktoré patrí napríklad miera koncentrácie dopácie polovodiča, hrúbka dielektrických oxidačných vrstiev na hradlách tranzistorov alebo samotná geometria OE. Táto fluktuácia sa môže prejaviť v rámci jedného ingotu, v rámci rôznych vyrobených plátok (z angl. *wafers*), v rámci jedného plátku či dokonca v rámci jedného čipu na plátku. Z tohto dôvodu ju môžeme rozdeliť na globálnu a lokálnu. Globálna fluktuácia je reprezentovaná typickou, resp. okrajovou podmienkou po výrobe IO, pričom býva charakterizovaná v závislosti od odchýlky dopácie daného typu polovodiča, čo sa prejaví zmenou oneskorenia tranzistora. Okrajové podmienky technológie (z angl. *process corners*) sú teda z hľadiska výroby IO hraničné prípady uvažovanej dynamickej interakcie oboch typov tranzistorov v obvode. Rozlišujeme štyri kombinácie okrajových podmienok - rýchle oba typy tranzistorov (FF), pomalé oba typy tranzistorov (SS), rýchle NMOS a pomalé PMOS tranzistory (FNFP), pomalé NMOS a rýchle PMOS tranzistory (SNFP) [1–4]. Priamym kritickým dôsledkom lokálnej fluktuácie je nezhodnosť (z angl. *mismatch*) OE, ktorá môže byť dištančná alebo párová. Dištančná nezhodnosť je charakterizovaná gradientom istého parametra výrobného procesu, párová závisí od konkrétnych rozmerov OE. Porovnanie týchto druhov nezhodností je pre rezistory a tranzistory v 130nm CMOS technológii skúmané v práci [5]. Vplyv fluktuácie výrobného procesu sa ďalej prejaví vo forme rozptylu či degradácie elektrických parametrov OE. Medzi najdôležitejšie elektrické parametre unipolárneho tranzistora, ktoré môžu byť touto fluktuáciou ovplyvnené, patrí jeho prahové napätie V_{TH} .

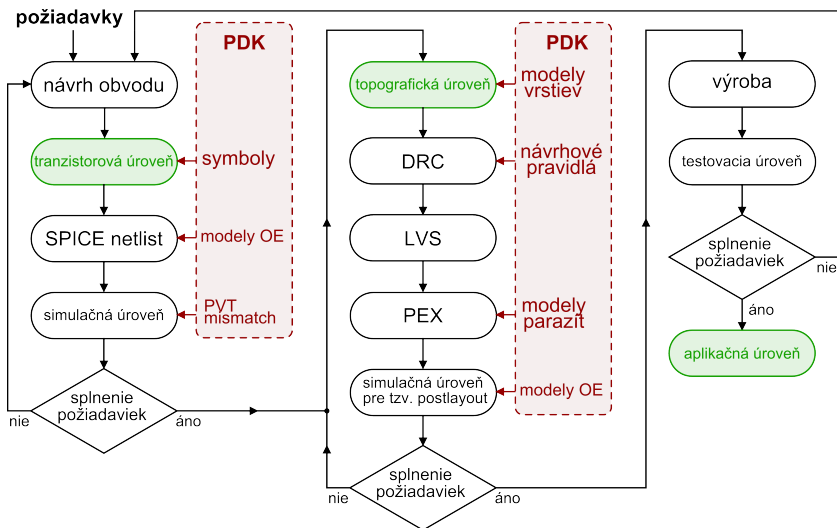
Druhým kritickým aspektom pre funkciu IO je prípadná zmena hodnoty napájacieho napätia V_{DD} , ktorá v návrhárskej praxi predstavuje $\pm 5\text{--}10\%$ odchýlku od nominálnej hodnoty. Každý IO musí byť z hľadiska nežiaducej zmeny V_{DD} dostatočne robustný na to, aby dokázal spoľahlivo fungovať minimálne v rámci vyššie uvedenej odchýlky. Tretím kritickým aspektom je teplotná stabilita IO. V práci [6] je prezentované meranie rezistivity ako funkcie teploty pre fosforom a bórom dopované vzorky kre-

míka pri rôznych koncentráciách. V teplotnom intervale od 200 K do 500 K, uvedenom v danej práci, rezistivita dopovaného kremíka (platí pre P-typ aj N-typ polovodiča) mierne narastá, čo má opäť za následok vplyv na elektrické parametre IO. Všetky tri spomínané činitele spadajú do skupiny tzv. PVT (z angl. *Process-Voltage-Temperature* – proces-napätie-teplota) variácií, s ktorých vplyvom je potrebné pri návrhu IO počítať [4]. To, ako náročné je prispôbiť návrh IO nízkonapäťovým podmienkam a do akej miery bude robustný voči PVT variáciám zvyčajne závisí od typu obvodu (analogový alebo digitálny) a jeho topológie.

Analógové integrované obvody (AIO) sú extrémne citlivé na akúkoľvek náhodnú fluktuáciu výrobných parametrov. Dobrým príkladom je ofset vstupného napätia operačného zosilňovača (OZ). Pokiaľ sú vstupné tranzistory nehomogenitou výrobného procesu vytvorené s rôznou hodnotou V_{TH} , prúdová nesymetria vstupných vetiev OZ vedie k vytvoreniu nežiaduceho vstupného napäťového ofsetu. Návrhári AIO pracujúci s nízkymi hodnotami V_{DD} sú obmedzovaní už v počiatočnej fáze návrhu – na tranzistorovej (schematickej) úrovni. Príkladom obmedzenia vyplývajúceho z nízkej hodnoty V_{DD} môže byť použitie zapojenia niekoľkých tranzistorov nad sebou (kaskódové zapojenie). Tranzistory majú napäťovými podmienkami presne nastavený operačný bod, ktorý veľmi často leží práve v saturačnej oblasti ich výstupnej charakteristiky. Pri nízkej hodnote V_{DD} v kaskódovom zapojení viacerých tranzistorov predstavuje dosiahnutie saturačného napätia $V_{DS_{sat}}$ problém, a to aj v hypotetickom prípade ideálneho technologického procesu. Ak do tejto pomyslenej rovnice pridáme ešte príspevok teplotného vplyvu, môžeme konštatovať, že návrhári AIO čelia v súčasnosti naozaj zložitým výzvam.

1 | Aktuálny stav problematiky

Vhodným spôsobom na interpretáciu možností prispôsobenia vývoja AIO spomínanému trendu je určenie kritických úrovní v samotnej procedúre návrhu (z angl. *design flow*), ktorá je znázornená na Obr. 1.1 [7, 8].



Obr. 1.1: Vývojový diagram návrhu AIO.

Na obrázku je možné pozorovať vyznačenie jednotlivých úrovní návrhu AIO - tranzistorovej, topografickej a aplikačnej. V rámci uvedených 3 štádií je možné nielen realizovať návrh AIO, ale zároveň zabezpečiť jeho robustnosť voči PVT variáciám. Okrem iného sú na Obr. 1.1 špecifikované aj základné časti balíka technologickej podpory návrhu (PDK, z angl. - *Process Design Kit*), ktorý je kľúčovým nástrojom v celom procese vývoja AIO až po ich výrobu. Za zmienku v tomto prípade stojí aj skutočnosť, že v súčasnosti pre dôkladnú verifikáciu funkcie AIO vzniká vo všetkých okrajových podmienkach vrátane nezhodnosti zo štatistickej Monte Carlo (MC) analýzy veľké množstvo simulačných behov, ktoré si vyžadujú vysoký výpočtový výkon. V dôsledku tejto skutočnosti sú okrem spomenutého vyvíjané aj metódy a spôsoby zaoberajúce sa minimalizovaním počtu týchto behov bez straty spoľahlivosti verifikácie [9].

1.1 Návrh nízkonapätových AIO

1.1.1 Tranzistorová úroveň návrhu

Kľúčovým faktorom pre návrh NN AIO je analýza a následná voľba vhodnej topológie. Náležitými návrhárskymi prístupmi pre tento účel sú tzv. *metodika g_m/I_D* alebo technika riadenia tranzistora substrátovou elektródou (BD, z angl. *Bulk-Driven*).

Metodika g_m/I_D

Táto metodika využíva pomer prenosovej vodivosti g_m a prúdu I_D ako smerodajný údaj pre nastavenie operačného bodu tranzistora. Okrem toho, prostredníctvom daného pomeru je možné nastaviť optimálne rozmery kanála (šírku W a dĺžku L) tranzistora (z angl. *sizing*) a dostať ho do požadovaného režimu inverzie (slabej, strednej alebo silnej). Pri návrhu NN obvodov je žiaduce využitie práve slabej, príp. strednej inverzie. V slabej inverzii tranzistor pracuje v podprahovom režime s prúdom I_D pri podmienke takmer nulového rozdielu medzi napätiami V_{GS} a V_{TH} . Medzi primárne výhody tejto metodiky patrí jej technologická nezávislosť. Nevýhody predstavuje vysoká miera citlivosti prúdu I_D na zmenu napätia V_{GS} (jeho závislosť je v tomto prípade exponenciálna) a relatívne nízka odolnosť voči šumu [10,11]. Vysoká využiteľnosť tejto metodiky je deklarovaná mnohými vedeckými prácami z oblasti návrhu AIO [12–14].

Technika riadenia tranzistora substrátovou elektródou

V rámci BD techniky sa substrátová vodivosť g_{mb} stáva jedným zo zásadných parametrov tranzistora. Výsadou tejto techniky je možnosť priamo ovplyvňovať hodnotu V_{TH} , čo umožňuje jej zníženie. Medzi hlavné nevýhody patrí relatívne nízka hodnota využívanej vodivosti g_{mb} , ktorá sa pohybuje v rozmedzí 20–40 % štandardnej hodnoty g_m . Polovodičový typ takto riadených tranzistorov závisí od výrobného procesu: pre P-jamový proces sú k dispozícii len NMOS tranzistory, pre N-jamový proces len PMOS tranzistory. Fakt, že typy tranzistorov musia byť vyrobené v rôznych jamách zvyšuje nároky na technologický proces výroby a komplikuje návrh AIO vyžadujúcich presnú zhodnosť tranzistorov. Okrem toho je potrebné pri využití tejto techniky brať do úvahy možnosť vzniku tzv. *latch-up* efektu [15,16]. V rámci nášho oddelenia bol realizovaný výskum vlastností BD techniky aplikovanej napríklad pri návrhu prúdových zrkadiel [17] alebo OZ s variabilným zosilnením (VGA, z angl. *Variable Gain Ampli-*

fer) [18]. Využitím BD techniky sa práca [19] zaoberá návrhom kruhového oscilátora a [20] uvádza návrh dolnopriepustného (DP) filtra pre elektroencefalograf.

1.2 Metódy potlačenia vplyvu PVT variácií

1.2.1 Tranzistorová úroveň návrhu

Pravdou je, že aj vplyv PVT variácií je v špecifických prípadoch možné potlačiť na tranzistorovej úrovni návrhu, no toto tvrdenie nemožno konštatovať vo všeobecnosti. Môžeme hovoriť o návrhu, resp. výbere topológie obvodu, ktorá má byť dostatočne robustná voči fluktuácii konkrétneho uvažovaného parametra. Ako bolo spomenuté v predošlej časti, z hľadiska globálnej fluktuácie parametrov výrobného procesu bý-
vajú IO štandardne verifikované v okrajových podmienkach danej technológie, pričom to isté platí aj pri ich lokálnej fluktuácii, tzn. pri nezhodnosti súčiastok verifikovaných MC analýzou. Táto tzv. *základná robustnosť* býva štandardne realizovaná napríklad samotnou geometriou súčiastok alebo pri OZ zavedením zápornej spätnej väzby, čím sa zároveň potlačí aj nelinearita [1–4]. Vysoká robustnosť voči zmene V_{DD} predstavuje špecifickú požiadavku na konkrétny IO, napríklad na kruhový napätím riadený oscilátor (VCO, z angl. *Voltage-Controlled Oscillator*) v práci [21] alebo regulátor LDO (z angl. *Low-Dropout Regulator*) v [22]. Z hľadiska vysokej robustnosti voči zmenám V_{DD} a teploty sú špecifickou skupinou AIO napäťové, resp. prúdové referencie [23–26].

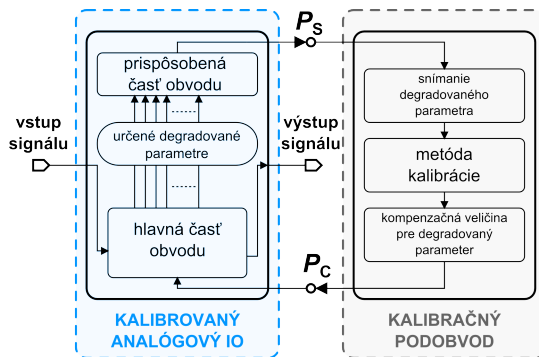
1.2.2 Topografická úroveň návrhu

Sofistikovaným návrhom topografie (z angl. *layout*) čipu je možné v rámci množiny PVT variácií potlačiť vplyv lokálnej fluktuácie procesných parametrov spôsobujúcej nezhodnosť OE a zároveň rôzne distribuovanej teploty vnútri čipu počas jeho aplikácie [27]. Základným predpokladom je správne rozloženie súčiastok, ktorého podstata v rámci rozptylu V_{TH} koreluje s Pelgromovým zákonom [28, 29]. Okrem redukcie rozptylu hodnoty V_{TH} je pri topografickom rozdelení tranzistora kladený dôraz aj na optimalizáciu vlastností PN priechodov implantovaných oblastí kolektora D a emitora S, ktoré sú závislé od teploty a taktiež aj na znížení odporu hradla. Technika, ktorá je v praxi využívaná pri rozdeľovaní tranzistorov sa nazýva *fingrovanie*. Podstatou tejto techniky je topografické zakreslenie hradla G a kovových vrstiev tvoriacich kolektor D a emitor S do tzv. *prstov* (z angl. *finger*), ktoré do seba navzájom hrebeňovito zapadajú. Kvôli anizotropnej povahe kremíka je z hľadiska výrobného procesu potrebné

zaistiť aj rovnakú orientáciu a v rámci možností symetriu obvodových elementov [1]. Berúc do úvahy efekt hradlového tieňovania (z angl. *gate shadowing*), ktoré sa prejaví vzniknutou asymetriou v prekrytí hradlového oxidu s oblasťami D a S [27], [30, 31] sú v rámci topografie využívané tzv. *doplnkové* (z angl. *dummy*) štruktúry. V neposlednom rade je dôležité samotné usporiadanie súčiastok na čípe, nakoľko na ich funkciu môže vplývať dopačný a teplotný gradient. Pre potlačenie týchto gradientov sa využíva tzv. *spoločne centroidná* (z angl. *common-centroid*) topografická konfigurácia obvodových elementov [1], [32]. V dizertačnej práci je tento základný prehľad topografických techník rozpracovaný detailnejšie.

1.2.3 Aplikačná úroveň návrhu

Doposiaľ uvedené spôsoby a techniky zvýšenia robustnosti AIO voči PVT variáciám nachádzajú svoje hranice pred samotným výrobným procesom. Ďalším efektívnym riešením zvýšenia robustnosti daného AIO je jeho dodatočná kalibrácia. Z princípálneho hľadiska, kalibrácia AIO prebieha na aplikačnej úrovni prostredníctvom kompenzácie hodnoty zvoleného parametra, ktorý je vplyvom PVT variácií degradovaný. Prídavný kalibračný podobvod realizujúci kompenzáciu je znázornený na Obr. 1.2.



Obr. 1.2: Princíp kalibrácie AIO.

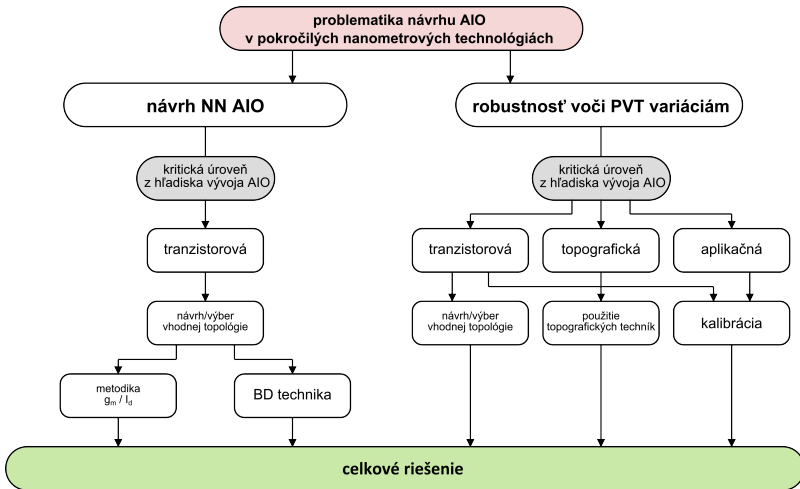
Na základe určenia degradovaného parametra je nutné od počiatku prispôbovať návrh topológie kalibrovaného AIO pre vytvorenie snímacieho portu P_S (z angl. *sense*) a kompenzačného portu P_C (z angl. *compensate*). Na port P_S je z kalibrovaného AIO privedená hodnota degradovaného parametra, ktorá v podstate slúži ako radiaca premenná pre kalibračný podobvod. Ten túto hodnotu nasníma a následne spracováva

vybranou kalibračnou metódou. Po spracovaní a vyhodnotení je kalibračným podobvodom generovaná kompenzačná veličina, ktorá je ako výstup kalibračného podobvodu prívádzaná na port P_C . Táto veličina kompenzuje degradáciu zvoleného parametra v kalibrovanom AIO [33].

Primárnou požiadavkou pre kalibračný podobvod je, aby iným nežiaducim spôsobom neovplyvňoval kalibrovaný AIO. Jeho vlastná spotreba energie nesmie z hľadiska návrhu NN obvodu výrazne zvýšiť celkovú spotrebu energie AIO. Rovnaká požiadavka analogicky platí aj pre jeho plochu, ktorá by mala byť minimálna kvôli finančným nákladom na výrobu. Okrem toho, kalibračný podobvod musí kvôli svojej funkcii disponovať vysokou účinnosťou a spoľahlivosťou. V neposlednom rade, samotný kalibračný podobvod musí byť veľmi robustný voči PVT variáciám.

1.2.4 Zhrnutie

Na Obr. 1.3 je graficky interpretované zhrnutie súčasnej problematiky návrhu AIO vo vybraných technológiách. Je evidentné, že celkový prístup a vysporiadanie sa s nežiaducimi javmi a obmedzeniami pozostáva vo viacerých dielčích riešeniach aplikovaných súčasne.



Obr. 1.3: Zhrnutie súčasnej problematiky návrhu AIO.

Návrh nízkonapäťových AIO je realizovaný na tranzistorovej úrovni návrhom, resp. výberom vhodnej topológie obvodu a následným využitím pokročilých návrhárskych prístupov akými sú metodika g_m/I_D či BD technika. Robustnosť AIO je taktiež možné zvýšiť na tranzistorovej úrovni, avšak spôsobom uvedeným v predošlej časti - špecifickým návrhom, resp. výberom topológie, ktorá bude sama dostatočne robustná voči fluktuácii konkrétneho parametra. Na topografickej úrovni môže byť robustnosť zvýšená využitím techník, ktorých základný prehľad je uvedený v dizertačnej práci v časti 1.2.2 - *Topografická úroveň návrhu*. Posledným príspevkom k celkovému riešeniu predstavuje kalibrácia AIO vychádzajúca z tranzistorovej úrovne (pretože navrhovaný AIO musí byť pre dodatočnú kalibráciu vopred prispôsobený) a zároveň z aplikačnej úrovne, na ktorej tento proces prebieha. Práve kalibráciou AIO sa bude dizertačná práca zaoberať v ďalšom pokračovaní. Výťah prehľadu možností riešenia problematiky návrhu AIO uvedeného v dizertačnej práci bol autorom publikovaný v práci [DMK3].

1.3 Kalibrácia AIO

V súčasnosti existuje niekoľko metód kalibrácie AIO, ktoré sú založené na rôznych princípoch činnosti z hľadiska kompenzácie vybraného degradovaného parametra. Zdroje degradácie parametrov AIO môžu byť kategorizované ako statické alebo dynamické. Do statických zdrojov radíme spomínanú fluktuáciu výrobných parametrov, ktorá je jednorazová a ďalej nemenná. Medzi dynamické zdroje patria zmeny konkrétnych napätí, prúdov a zmena teploty pôsobiacej na funkciu čipu. V tejto časti je uvedený aktuálny stručný prehľad kompenzačných techník a kalibračných metód AIO ako sú trimovanie poistkami, chopper kompenzačná technika, technika autonulovania, analógová a digitálna kalibrácia. V rámci analýzy každej techniky a metódy je v dizertačnej práci podrobnejšie predstavený jej princíp činnosti, implementácia a aplikácia a napokon zhrnutie výhod a nevýhod. Na základe vzájomného porovnania bol napokon vybraný spôsob kalibrácie, ktorým sa dizertačná práca bude ďalej zaoberať.

1.3.1 Trimovanie poistkami

Dodatočné trimovanie poistkami (z angl. *fuse trimming*) parametrov AIO môže byť realizované prostredníctvom využitia štandardných poistiek alebo využitím anti-poistiek na čipe. Oba spôsoby sú aplikačne analogické, no z hľadiska princípu ich činnosti je možné ich považovať za navzájom inverzné. V prípade štandardných poistiek táto metóda spočíva v multiplifikácii kritických obvodových elementov pri návrhu

AIO. Tieto elementy sú na počiatku testovania (aplikácie) AIO prostredníctvom poistiek uvedené do stavu nakrátko, pričom následným pretavením jednotlivých poistiek sú do obvodu postupne pridávané [34–36]. Hlavnou výhodou tejto kalibračnej metódy je jej relatívna univerzálnosť, keďže prostredníctvom poistiek je možné trimovať rôzne obvody alebo ich časti. Na druhej strane, primárnou nevýhodou tejto metódy je jej deštruktívny a jednorazový charakter. Tomuto aspektu musí byť prispôsobená topografia daného IO umiestnením poistiek do dostatočnej vzdialenosti od hlavného obvodu, aby nedošlo k jeho nežiaducejmu zničeniu. To môže mať v závislosti od použitia trimovania za následok značný nárast plochy, čo predstavuje vysoké celkové výrobné náklady.

Principiálnym rozdielom medzi štandardnou poistkou a antipoistkou je ich počiatočná vodivosť. Antipoistky bývajú realizované ako tzv. *jednorazovo programovateľné antipoistky* (OTPA, z angl. *One-Time-Programmable Antifuse*) v CMOS technológii. Hradlový oxid unipolárneho tranzistora v tomto prípade slúži ako vysokoimpedančný element, ktorý je v prípade trimovania prerazený pripojením potrebnej hodnoty pririazaného napätia V_P na konkrétne kontakty tranzistora (v závislosti od použitého typu) [37, 38]. Podobne ako pri štandardných poistkách, napriek tomu, že OTPA predstavujú menej invazívnu metódu, z hľadiska ich prípadného využitia pre kalibráciu AIO predstavuje napätie V_P riziko jeho poškodenia. Prítomnosť OTPA na čipe by taktiež zvýšila výťažnosť výroby AIO. Prídavná plocha ani v tomto prípade nie je zanedbateľná a zvyšuje náklady na výrobu.

1.3.2 Chopper kompenzačná technika

Chopper kompenzačná technika (CS, z angl. *Chopper Stabilization*) je využívaná na efektívnu kompenzáciu nežiaduceho vstupného napäťového offsetu V_{IN_OFF} OZ a nízkofrekvenčného $1/f$ šumu. Princíp činnosti CS spočíva v transpozícii užitočného signálu na dostatočne vysokú frekvenciu, kde je vplyv vstupného napäťového offsetu a $1/f$ šumu zanedbateľný. Tento signál je následne zosilnený a demodulovaný do pôvodného frekvenčného pásma [33], [39–41]. Podstatou implementácie CS je návrh modulátora, resp. demodulátora. Najjednoduchšou možnosťou je v prípade plne diferenciálneho OZ návrh modulátora, resp. demodulátora zo 4 skrížene zapojených NMOS tranzistorov rovnakých rozmerov [42]. Takýto modulátor, resp. demodulátor môže byť vylepšený využitím doplnkových spínačov [43, 44] alebo prenosových hradiel [45]. V prípade OZ s jednoduchým výstupom je možné využiť spomínané prístupy iba pre návrh modulátora. Demodulátor je v takomto prípade potrebné navrhnuť zložitejším prístupom, ktorý je bližšie charakterizovaný v dizertačnej práci.

Primárnou výhodou CS je jej funkcia v paralelnej súčinnosti s kalibrovaným AIO. Okrem toho modulátor, resp. demodulátor si pri plne diferenciálnom OZ vyžaduje zanedbateľnú plochu čipu. Nevýhodou je značné obmedzenie frekvenčného pásma kalibrovaného AIO, čo je zrejme z princípu činnosti tejto techniky. Problém môže predstavovať výsledná DP filtrácia výstupného signálu, ktorá si vyžaduje buď vysokú strmosť filtra alebo nízku hodnotu medznej frekvencie. V oboch prípadoch to znamená nárast plochy čipu.

1.3.3 Auto-zero technika

Technika autonulovania (AZ, z angl. *Auto-Zero*) je, podobne ako CS, kompenzačná technika využívaná na kompenzáciu V_{IN_OFF} OZ a na potlačenie $1/f$ šumu. Hlavná myšlienka AZ spočíva vo vzorkovaní nežiaduceho signálu a následnom odobratí hodnoty napätia tejto vzorky od užitočného signálu. Implementácia AZ môže byť realizovaná analógovým aj digitálnym spôsobom. Analógová implementácia AZ využíva na odchytenie vzorky výstupného signálu kalibrovaného OZ ďalší, kalibračný OZ a vzorkovaco-zadržiavací obvod (S&H, z angl. *Sample And Hold*) [33], [46, 47]. Digitálna implementácia AZ pozostáva z komparátora, digitálneho obvodu realizujúceho postupnú aproximáciu (SAR, z angl. *Successive Approximation Register* - postupne aproximáčny register) a digitálno-analógového (D/A) prevodníka (DAC, z angl. *Digital-To-Analog Converter*). V práci [48] je technika AZ využitá pri návrhu napäťového sledovača, v [49] pri návrhu komparátora a práca [50] predstavuje špeciálny prístup využitia techniky AZ, tzv. *ping-pong*, ktorého hlavnou myšlienkou je duplicita kalibrovaného AIO na čipe, pričom v reálnom čase je vždy jeden z týchto obvodov vo funkčnej fáze a druhý v kompenzačnej fáze a naopak.

Výhodou analógovej implementácie techniky AZ je ľubovoľné zvýšenie úrovne signálu vo vzorkovacom (úložnom) kondenzátore, ktoré závisí od zosilnenia nulovacieho vstupu OZ, čím potláča injekciu inverzného náboja. Výhodou digitálnej implementácie techniky AZ je časovo neobmedzené uchovanie kompenzačnej hodnoty, pričom pri analógovej implementácii je potrebné túto hodnotu v rámci S&H periodicky obnovovať. Táto vlastnosť digitálnej implementácie je však výhodná len pri jednorazovej počiatočnej kompenzácií offsetu. Periodické nulovanie na druhej strane okrem vstupného offsetu potláča aj $1/f$ šum, takže časovo neobmedzené uchovávanie kompenzačnej hodnoty z tohto uhlu pohľadu stráca opodstatnenie. Pri digitálnej implementácii AZ techniky však nie je prítomná injekcia inverzného náboja, no kvalita kompenzácie je určená rozlíšením použitého DAC [33], [46]. Nevýhodou oboch implementácií je zanedbateľná plocha potrebná pre realizáciu prídavných obvodov.

1.3.4 Analógová kalibrácia AIO

Všeobecný princíp analógovej kalibrácie AIO spočíva v individuálnom návrhu kalibračného podobvodu pozostávajúceho z analógových obvodov, ako sú napríklad napäťové zdroje, prúdové zdroje, prúdové zrkadlá, napäťové komparátory, rôzne konfigurácie OZ (invertujúce, resp. neinvertujúce zosilňovače, napäťové sledovače, sumačné, resp. rozdielové zosilňovače), analógové filtre (pasívne alebo aktívne), fázové detektory, nábojové pumpy, atď. Z hľadiska princípu činnosti je oveľa efektívnejšie charakterizovať konkrétnu implementáciu analógovej kalibrácie v konkrétnej aplikácii. V práci [51] je navrhnutý OZ s programovateľným zosilnením (PGA, z angl. *Programmable Gain Amplifier*), ktorého súčasťou je v rámci celkového systému aj nulovanie výstupného DC offsetu (DCOC, z angl. *DC Offset Cancellation*) prostredníctvom analógového kalibrovania. Práca [52] sa zaoberá návrhom DP filtra realizovaného multispätnoväzbovou topológiou. Práca [53] uvádza návrh kalibrovaného VCO. Úlohou analógového kalibračného podobvodu je v tomto prípade nastavenie optimálneho prúdu zo širokého rozsahu ladenia. Pozostáva z amplitúdového detektora, diferenciálneho páru a prúdového zdroja.

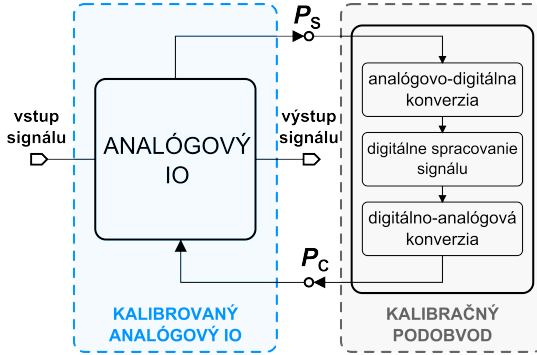
Výhodou analógovej kalibrácie je univerzálnosť jej použitia a podobne ako pri kompenzačných technikách CS a AZ jej paralelná súčinnosť s kalibrovaným AIO. V prípade využitia tejto metódy pri kompenzovaní V_{IN_OFF} OZ je jej vplyv na šírku frekvenčného pásma OZ zanedbateľný. Nevýhodou predstavujú plocha prídavných robustných analógových obvodov ako aj ich vlastná spotreba energie.

1.3.5 Digitálna kalibrácia AIO

Hlavnou myšlienkou digitálnej kalibrácie AIO je vo všeobecnosti po nasnímaní gradovanej veličiny použitie analógovo-digitálneho (A/D) prevodu, jej digitálne spracovanie a vyhodnotenie za účelom vygenerovania kompenzačnej hodnoty, následné vykonanie spätného D/A prevodu a privedenie tejto kompenzačnej hodnoty do konkrétneho uzla AIO (znázornené na Obr. 1.4). Návrh tohto druhu kalibračného podobvodu, podobne ako pri analógovej kalibrácii, spočíva v individuálnom prístupe v konkrétnej aplikácii. V práci [54] je uvedený návrh digitálne kalibrovanej prúdovej referencie. Práca [55] predstavuje digitálne kalibrovaný OZ. Práca [56] sa venuje digitálnej kalibrácii časovo-digitálneho prevodníka a práca [57] uvádza návrh kalibrovaného VCO.

Hlavnou výhodou metódy digitálnej kalibrácie je minimálny vplyv na požadované parametre kalibrovaného AIO. Okrem toho zohrávajú dôležitú úlohu vysoká adaptabilita navrhovaného kalibračného podobvodu, robustnosť digitálnych integrovaných ob-

vodov (DIO) voči PVT variáciám, nízka spotreba energie, vysoká rýchlosť, spoľahlivosť a efektívnosť a minimálne skreslenie užitočného signálu. Na druhej strane, ako pri väčšine kompenzačných techník a kalibračných metód, nevýhodou predstavuje potrebná plocha pre prídavné kalibračné podobvody.



Obr. 1.4: Princíp digitálnej kalibrácie AIO.

1.3.6 Porovnanie kompenzačných techník a kalibračných metód

V Tab. 1.1 je uvedené vzájomné porovnanie vlastností analyzovaných kompenzačných techník a kalibračných metód AIO. Jedinou statickou metódou spomedzi analyzovaných bolo trimovanie poistkami. Z tohto dôvodu je pri tejto metóde neopodstatnené hovoriť o spracovaní signálu, šume, resp. šírke prenášaného pásma alebo o kalibračnom cykle. Ide o metódu, ktorá predstavuje jednorazový a nevratný proces, pričom jej implementácia si vyžaduje nezanedbateľnú plochu na čípe. Technika CS môže byť použitá v aplikáciách pracujúcich so spojeným aj vzorkovaným signálom. Pri jej základnej realizácii (modulátor, demodulátor) ide o kompenzačnú techniku, kde je plocha prídavných obvodov zanedbateľná. Avšak, obmedzenie frekvenčného pásma kalibrovaného AIO môže pri konkrétnych aplikáciách predstavovať problém. Technika AZ v porovnaní s CS naopak frekvenčne neobmedzuje kalibrovaný AIO, čo je najmä pri OZ veľkou výhodou. Digitálna implementácia AZ disponuje oproti analógovej aj možnosťou nízkofrekvenčného kalibračného cyklu. Práve kompenzačné techniky CS a AZ sa často spájajú do veľmi efektívneho kompenzačného systému s využitím výhod oboch techník. Samozrejme, týmto spôsobom narastá potrebná plocha pre dané obvody na čípe. Z hľadiska spracovania signálu a frekvenčných možností kalibračného cyklu predsta-

vuje analógová kalibrácia prispôsobiteľnú voľbu. Jej slabými stránkami sú odolnosť voči šumu a plocha na čipe, ktorá značne narastá s počtom a zložitou kalibračných podobvodov. Digitálna kalibrácia podľa uvedených údajov ponúka oproti ostatným technikám a metódam najadaptabilnejšiu možnosť z hľadiska aplikácie. Celý kalibračný podobvod si samozrejme taktiež vyžaduje istú plochu na čipe, no z hľadiska jej spomenutých výhod je tento nedostatok akceptovateľný. S využitím vysokej spoľahlivosti a efektivity, nízkej spotreby energie a robustnosti DIO voči PVT variáciám predstavuje digitálna kalibrácia významný prínos k celkovému riešeniu problematiky návrhu AIO robustných voči PVT fluktuáciám. Prehľad uvedených kompenzačných techník a kalibračných metód v bol autorom publikovaný v práci [DMK2].

Motivácia pre prácu:

Na základe súčasného stavu poznania ako aj doposiaľ uvedených možností pre ďalšie zvyšovanie odolnosti AIO voči PVT variáciám v rámci ich kalibrácie sa táto práca bude v súlade s porovnaním analyzovaných kompenzačných techník a kalibračných metód ďalej zaoberať rozvojom a implementáciou metódy digitálnej kalibrácie AIO.

Tab. 1.1: Porovnanie analyzovaných kompenzačných techník a kalibračných metód.

Kompenzačná technika / Kalibračná metóda	Charakter		Funkcia			Sprac. sig.		Sum & BW		Kalib. cyklus		Plocha	
	Statický	Dynamický	Jednoraz.	Opak.	Paralelná	Vzorokovane	Spojité	Nízky sum	Široké BW	Nízka f	Vysoká f	Zanedb.	Nezanedb.
Trimovanie poisťkami	✓		✓									✓	
CS		✓			✓			✓				✓	
AZ (Analogová topológia)		✓			✓	✓			✓				✓
AZ (Digitálna topológia)		✓			✓	✓			✓				✓
Analogová kalibrácia	✓		✓		✓	✓	✓		✓	✓			✓
Digitálna kalibrácia	✓		✓	✓	✓	✓	✓	✓	✓	✓			✓

– Bezpredmetné pre analýzu. ✓Výhodná vlastnosť. ✓ Nevýhodná vlastnosť.

2 | Ciele dizertačnej práce

Na základe doteraz získaných poznatkov o súčasných spôsoboch kalibrácie analógových IO, ktorá je realizovaná kompenzáciou vplyvu fluktuácie parametrov technologického procesu ich výroby, boli stanovené ciele dizertačnej práce. Smerovanie nášho výskumu je orientované na rozvoj digitálnej kalibrácie analógových IO, prostredníctvom ktorej bude možné potlačiť vplyv okrajových podmienok výrobných technológií na činnosť vybraných analógových IO.

V tomto zmysle boli ciele dizertačnej práce stanovené nasledovne:

- Návrh vylepšení parametrov analógových IO vedúcich k zvýšeniu ich robustnosti voči rozptylu technológií na základe analýzy súčasného stavu poznania a doterajších dosiahnutých výsledkov v oblasti digitálnej kalibrácie.
- Návrh, implementácia a optimalizácia digitálneho samokalibračného systému pre vybrané analógové IO (napr. zosilňovače, napäťové referencie), a následná analýza parametrov a vlastností kalibrovaných obvodov v okrajových podmienkach technológií.
- Vyšetrenie nežiaduceho vplyvu kalibračného podobvodu na parametre kalibrovaných analógových IO.
- Experimentálne overenie integrovaného systému digitálnej kalibrácie AIO prostredníctvom meraní prototypových vzoriek vyrobených čipov.

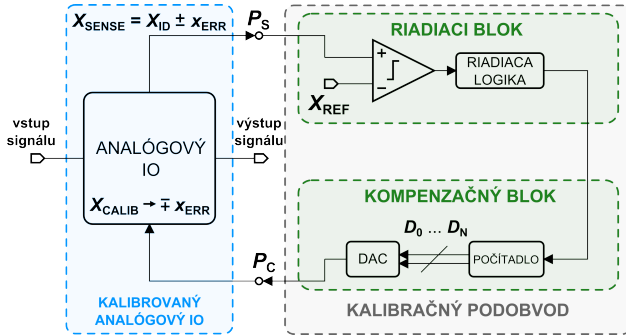
3 | Návrh digitálnej kalibrácie obvodu FDDA

Táto kapitola sa súhrne zaoberá návrhom digitálnej samokalibrácie OZ typu FDDA. Degradovaným parametrom tohto kalibrovaného obvodu je vstupný napäťový ofset V_{IN_OFF} . Keďže v ideálnom prípade je hodnota $V_{IN_OFF} = 0$ V, degradáciou sa myslí zvýšená absolútna hodnota tejto nežiaducej veličiny, ktorá bude istým spôsobom kompenzovaná. Aktuálna časť dizertačnej práce celkovo ponúka stručný prehľad postupného vývoja a dosiahnutých výsledkov nášho doterajšieho výskumu v oblasti digitálneho kalibrovania OZ, opis princípu činnosti kalibračného podobvodu, ktorý je meritom tejto kapitoly, návrh, resp. výber topológií jeho jednotlivých blokov, matematické modelovanie vplyvu pripojenia kalibračného podobvodu k hlavného obvodu, plošnú analýzu topografie v zmysle uceleného kalibračného systému na čipe (SoC, z angl. *System On Chip*), konfigurácie zapojení pre simulovanie, výsledky simulácií vybraných parametrov FDDA a výsledky ich meraní. V rámci diskusie je v závere kapitoly uvedené vzájomné porovnanie výsledkov získaných zo simulácií a meraní, celkový súhrn dosiahnutých výsledkov a ich porovnanie s inými prácami. V tomto autoreferáte sú uvedené vybrané časti spomenutého obsahu.

3.1 Doterajší výskum digitálnej kalibrácie AIO

3.1.1 Princíp digitálneho kalibrovania

Digitálna kalibrácia AIO a ich odolnosť voči PVT variáciám je jednou z najdôležitejších častí výskumnej práce na Oddelení návrhu a testovania integrovaných obvodov (ONTIO) na ÚEF FEI STU, pričom na základoch tohto výskumu je postavené aj jadro tejto dizertačnej práce. Fundamentálny princíp činnosti digitálnej kalibrácie AIO publikovaný v práci [58] je znázornený na Obr. 3.1. Degradovaný parameter určený na dodatočnú kompenzáciu je privedený na snímací port kalibračného podobvodu P_S , ktorý primárne pozostáva z dvoch častí: riadiaceho a kompenzačného bloku.



Obr. 3.1: Princíp činnosti digitálnej kalibrácie AIO [58].

Úlohami riadiaceho bloku sú: snímanie aktuálnej hodnoty degradovaného parametra na porte P_S , jej vyhodnotenie a generovanie adekvátneho riadiaceho signálu pre kompenzačný blok. Snímanú hodnotu degradovaného parametra X_{SENSE} je možné vyjadriť nasledovne:

$$X_{SENSE} = X_{ID} \pm x_{ERR}, \quad (3.1)$$

kde X_{ID} je ideálna hodnota degradovaného parametra a x_{ERR} je aktuálna odchýlka X_{SENSE} od X_{ID} . Komparátor následne porovnáva snímanú hodnotu s referenčnou hodnotou X_{REF} , pre ktorú v ideálnom prípade platí:

$$X_{REF} = X_{ID}. \quad (3.2)$$

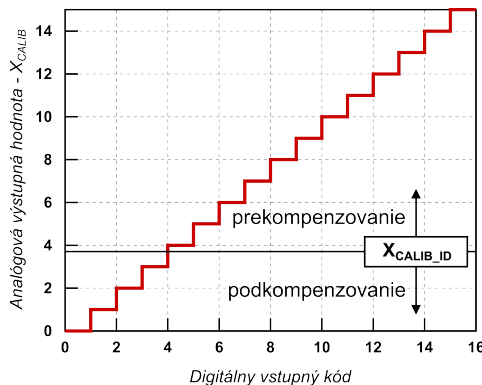
Riadiaca logika monitoruje výstup z komparátora a prostredníctvom vhodného algoritmu spravuje funkciu kompenzačného bloku až napokon celý kalibračný cyklus zastaví. Kompenzačný blok pozostáva z D/A prevodníka ovládaného počítadlom. Signál z riadiacej logiky je v podstate hodinovým signálom, ktorý toto počítadlo aktivuje. To postupným krokom inkrementuje svoju digitálnu hodnotu na výstupe, ktorá je paralelne odosielaná do D/A prevodníka prostredníctvom N -bitovej zbernice D_N . Výstup z D/A prevodníka reprezentuje kompenzačnú hodnotu degradovaného parametra X_{CALIB} privádzanú do kalibrovaného AIO prostredníctvom portu P_C . V tomto prípade je potrebné pri návrhu kľasť značný dôraz na synchronizáciu tohto systému, pretože postupná inkrementácia hodnoty X_{CALIB} musí spôsobiť postupnú dekrementáciu hodnoty x_{ERR} . Pre výslednú kompenzačnú hodnotu po ukončení kalibračného cyklu X_{CALIB_FIN} platí:

$$X_{CALIB_FIN} = X_{ID} \pm x_{MIN}, \quad (3.3)$$

kde x_{MIN} je minimálna odchýlka dosiahnuteľná kalibračným podobvodom. V momente, kedy nastane súlad:

$$x_{ERR} \cong x_{MIN}, \quad (3.4)$$

riadiaca logika zastaví kalibračný cyklus a kompenzačná hodnota X_{CALIB_FIN} je trvalo (aj počas činnosti kalibrovaného AIO) privádzaná na port PC . Na Obr. 3.2 je znázornená ideálna prevodová charakteristika D/A prevodníka s vyznačenou ideálnou kompenzačnou hodnotou X_{CALIB_ID} , ktorú by bolo možné hypoteticky dosiahnuť s D/A prevodníkom s nekonečným rozlíšením.



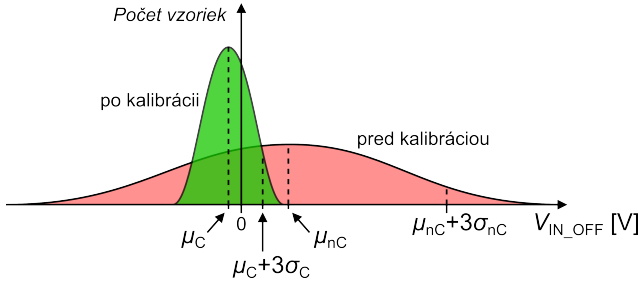
Obr. 3.2: Ideálna prevodová charakteristika D/A prevodníka.

V prípade reálneho prevodníka samozrejme môže byť táto hodnota vo veľmi špecifických prípadoch taktiež dosiahnutá, no po väčšine ukončených kalibračných cyklov dôjde buď k prekompenzovaniu alebo podkompenzovaniu ideálnej požadovanej hodnoty prevodníka ozn. ako X_{CALIB_ID} (znázornené na Obr. 3.2) [33].

3.1.2 Prehľad doposiaľ dosiahnutých výsledkov

Na základe uvedeného princípu bol na našom oddelení v minulosti realizovaný výskum digitálneho kalibrovania obvodu zosilňovača typu VGA prostredníctvom kom-

penzácie vstupného napätového offsetu V_{IN_OFF} . Požadovaný rozdiel medzi nekompenzovaným a kompenzovaným parametrom V_{IN_OFF} je znázornený na Obr. 3.3 prostredníctvom normálneho rozdelenia. Ideálnou hodnotou pre strednú hodnotu μ tejto štatistiky je 0 V. Pri VGA bola absolútna hodnota strednej hodnoty pred kalibráciou μ_{nC} vyššia v porovnaní s absolútnou hodnotou strednej hodnoty po kalibrácii μ_C . To platí aj pre štandardné odchýlky σ_{nC} a σ_C .

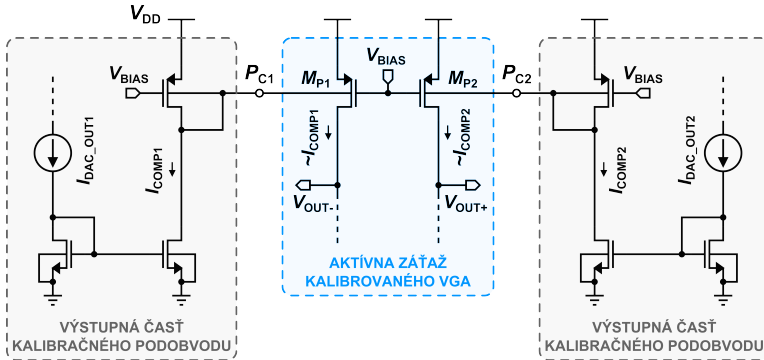


Obr. 3.3: Normálne rozdelenie V_{IN_OFF} pred a po kalibrácii [58].

Celý princíp vyvíjanej metódy spočíva v snímaní diferenciálneho výstupného napätového offsetu V_{OUT_OFF} na duálnom porte P_S ako dôsledku zmeny vstupného napätového offsetu V_{IN_OFF} , na základe ktorého sú na duálny port P_C dodávané kompenzačné prúdy I_{COMP1} a I_{COMP2} vstrekané priamo do vstupných vetiev diferenciálneho páru VGA. Táto kompenzácia bola realizovaná BD technikou a je znázornená na Obr. 3.4 [58].

Práca [59] sa zaoberá nežiaducimi efektami pripojenia kalibračného podobvodu k VGA z frekvenčného hľadiska. Táto práca pozostáva z modelovania vybraných tranzistorov na rozhraní spojenia obvodov pred a po pripojení kalibračného podobvodu k VGA a ich vzájomného porovnania. V práci [60] je predstavená základná verzia návrhu kalibračného systému pre obvod VGA spolu s topografiou čipu. Stredná hodnota V_{IN_OFF} kalibrovaného VGA bola v simulácii 150 vzoriek MC analýzy dosiahnutá s hodnotou $\mu_C = -273 \mu\text{V}$ a štandardná odchýlka $\sigma_C = 402 \mu\text{V}$. Práca [61] ponúka vylepšenie základnej verzie kalibračného systému VGA prostredníctvom využitia logiky SAR. V tomto prípade boli v simuláciách v teplotnom rozsahu od $-20 \text{ }^\circ\text{C}$ do $60 \text{ }^\circ\text{C}$ dosiahnuté absolútne hodnoty V_{IN_OFF} kalibrovaného VGA μ_C od $273 \mu\text{V}$ do $413 \mu\text{V}$ a σ_C od $356 \mu\text{V}$ do $802 \mu\text{V}$, taktiež pri 150 vzorkách MC analýzy. V prácach [62, 63] je predstavené ďalšie vylepšenie v podobe implementácie ping-pong techniky digitálnej

kalibrácie VGA. Tieto dve práce okrem parametra V_{IN_OFF} kladú dôraz na meranie ostatných parametrov VGA akými sú DC prevodová charakteristika, frekvenčná charakteristika alebo parameter PSRR. Merané hodnoty V_{IN_OFF} po kalibrácii VGA boli od 13 μV do 167 μV pre 10 prototypových vzoriek čipu.



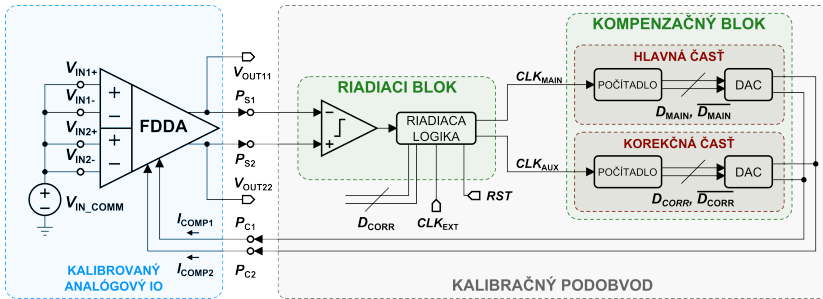
Obr. 3.4: Kompenzácia vstupného napätového offsetu VGA [59].

Jadrom tejto dizertačnej práce je ďalšie vylepšenie kalibračného podobvodu pracujúceho na uvedenom princípe. Ako bolo spomenuté, tentokrát nájde jeho použitie opodstatnenie pri kalibrácii obvodu FDDA. Vylepšenie oproti doterajšiemu výskumu spočíva najmä v nasledovných bodoch:

- zníženie V_{DD} celého SoC z hodnoty 600 mV na hodnotu 400 mV,
- vylepšenie riadiacej logiky spočívajúce vo zvýšení jej spoľahlivosti,
- zefektívnenie rozlíšení asynchrónnych počítadiel a D/A prevodníkov,
- zvýšenie presnosti modelovania nežiaduceho vplyvu pripojenia navrhovaného kalibračného podobvodu k FDDA na výstupnú impedanciu vstupného zosilňovacieho stupňa,
- analýza vplyvu kalibračného podobvodu na vybrané frekvenčné parametre obvodu FDDA (CMRR a PSRR) v špecifickom teplotnom rozsahu.

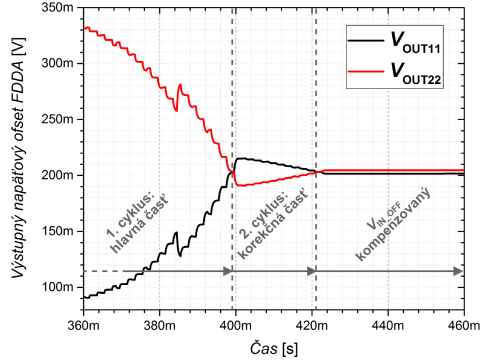
3.2 Princíp samokalibračného systému FDDA

Na Obr. 3.5 je znázornený princíp činnosti digitálneho kalibrovania obvodu FDDA. Počas priebehu kalibrácie sú jednotlivé vstupy pripojené k napätiu V_{IN_COMM} , ktoré reprezentuje spoločnú DC zložku a nastavuje pracovný bod FDDA. Keďže napájacie napätie obvodu FDDA $V_{DD} = 400$ mV je nesymetrické, spoločná DC zložka vstupov $V_{IN_COMM} = 200$ mV. Podobne ako pri kalibrácii VGA (princiipiálne na Obr. 3.1), aj v tomto prípade pozostáva snímaná veličina X_{SENSE} z dvoch zložiek V_{OUT11} a V_{OUT22} , na základe čoho sú prítomné dva snímacie porty P_{S1} a P_{S2} . Táto analógia platí aj pre hodnotu kompenzačného parametra X_{CALIB} a neskôr X_{CALIB_FIN} , ktorý pozostáva z dvoch kompenzačných prúdov I_{COMP1} a I_{COMP2} , na základe čoho sú potrebné dva kompenzačné porty P_{C1} a P_{C2} .



Obr. 3.5: Princíp činnosti digitálnej kalibrácie obvodu FDDA.

Kalibračný proces obvodu FDDA prebieha v dvoch cykloch: hlavný (hrubý) a korekčný (jemný). Z tohto dôvodu pozostáva kompenzačný blok na Obr. 3.5 z dvoch častí. V hlavnom kalibračnom cykle je na základe nasnímanej hodnoty V_{OUT_OFF} riadiacim blokom generovaný hodinový signál CLK_{MAIN} , ktorý aktivuje počítadlo a D/A prevodník hlavnej časti kompenzačného bloku. Počas tohto cyklu sú hodnoty kompenzačných prúdov postupne vstrekované do dvoch vstupných vetiev diferenciálnych párov FDDA s relatívne vysokým krokom, čo spôsobí rýchlejšie, no menej presné nulovanie V_{OUT_OFF} na výstupe. Po dosiahnutí hodnoty $V_{OUT_OFF} \approx 0$ V riadiaci blok ukončí hlavný kalibračný cyklus a generovaním hodinového signálu CLK_{AUX} spustí korekčný cyklus, ktorým sú hodnoty kompenzačných prúdov dodávané s jemnejším krokom. Po opätovnom dosiahnutí $V_{OUT_OFF} \approx 0$ V riadiaca logika kalibračný algoritmus zastaví. Výsledok kalibračného algoritmu z hľadiska nulovania V_{OUT_OFF} je znázornený na Obr. 3.6 a na obvodovej úrovni objasnený v nasledujúcej časti.



Obr. 3.6: Nulovanie V_{OUT_OFF} počas kalibrácie FDDA.

3.3 Návrh kalibračného systému

3.3.1 Napätový komparátor

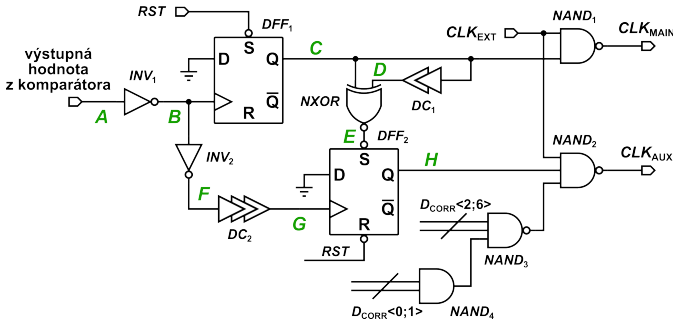
V rámci jednotlivých obvodov bol v riadiacom bloku kalibračného podobvodu použitý napätový komparátor, ktorého topológia bola navrhnutá a overená ako súčasť nášho výskumu [64]. Dôvodmi výberu tohto obvodu sú jeho $V_{DD} = 400$ mV, nízka hodnota prúdových špičiek pri preklápaní výstupnej logickej hodnoty ($< 0,8$ μ A) a nízka hodnota vlastného V_{IN_OFF} . MC analýza V_{IN_OFF} komparátora bola odsimulovaná pri počte vzoriek 3000 so strednou hodnotou $\mu = 692$ μ V a štandardnou odchýlkou $\sigma = 1,91$ mV.

3.3.2 Riadiaca logika: generovanie signálov CLK_{MAIN} a CLK_{AUX}

S využitím diferenciálneho výstupu obvodu FDDA nie je potrebná externá napätová referencia pre komparátor (na Obr. 3.1 označená ako X_{REF}), nakoľko jednotlivé výstupy V_{OUT11} a V_{OUT22} sú si z hľadiska funkcie kalibračného podobvodu referenciami navzájom. V počiatočnom stave obvodu FDDA a teda v momente, kedy je kalibrácia spustená, kalibračný podobvod (konkrétne D/A prevodník) rozptýli hodnoty $V_{OUT11} \approx GND$ a $V_{OUT22} \approx V_{DD}$ (objasnené v časti 3.3.4 - *Činnosť kalibračného systému*). To znamená, že komparátor na svojom výstupe nastaví hodnotu logickej 1, čím spúšťa hlavný kalibračný cyklus. Na Obr. 3.7 je znázornený návrh riadiacej lo-

3.3. Návrh kalibračného systému

giky kalibračného podobvodu. Všetky interné signály sú označené písmenami *A - H* a vizualizované na Obr. 3.8(a) počas najdôležitejšej fázy funkcie riadiacej logiky.



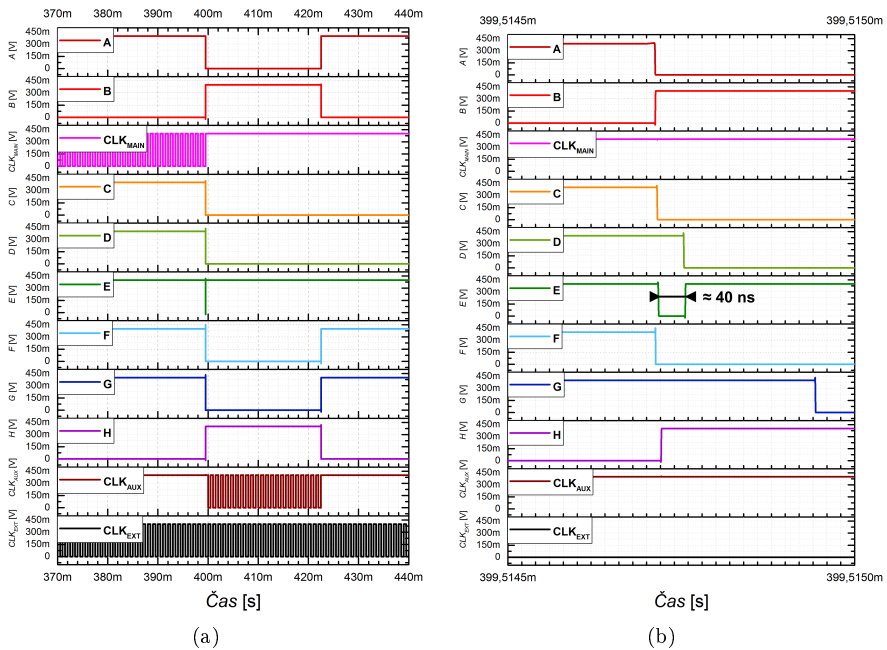
Obr. 3.7: Riadiaca logika kalibračného podobvodu.

Preklápacie obvody DDF_1 a DDF_2 sú na svojich výstupoch počiatočne nastavené do úrovni logickej 1 (signál *C*) a logickej 0 (signál *H*) prostredníctvom externého inicializačného resetu *RST*. Ako bolo spomenuté, v prvom (hlavnom) kalibračnom cykle je výstup komparátora (signál *A*) nastavený do hodnoty logickej 1, čo znamená, že logická hodnota signálu *B* je nastavená do logickej 0. Signál *F* nadobudne hodnotu logickej 1 a po prechode cez oneskorovaciu bunku DC_2 (z angl. *Delay Cell*) za špecifický okamih bude v logickej 1 aj signál *G*. Ten technicky svojou nábežnou hranou prepokopí obvod DDF_2 , no hodnota jeho výstupu sa nezmení, keďže na dátovom vstupe je pripravená konštantná logická 0 pripojením vstupu na potenciál *GND*. Z toho vyplýva, že počas hlavného kalibračného cyklu sa hodnoty signálov *C* a *H* nezmenia. Prostredníctvom hradla $NAND_1$ je tým pádom generovaný signál CLK_{MAIN} aktivujúci počítač a D/A prevodník hlavnej kalibrácie. V momente, keď signály V_{OUT11} a V_{OUT22} navzájom zmenia svoje polarities, komparátor prepokopí svoj výstup z logickej 1 do logickej 0. Nábežná hrana signálu *B* zmení hodnotu signálu *C* do logickej 0, v dôsledku čoho hradlo $NAND_1$ zablokuje signál CLK_{EXT} , čím zastaví výstupný signál CLK_{MAIN} a s ním aj hlavný kalibračný cyklus.

Medzitým v momente, kedy je signál *C* prepoklopený do logickej 0, oneskorovacia bunka DC_1 vygeneruje signál *D*. Signály *C* a *D* budú na krátky špecifický okamih v rôznych logických hodnotách, čo umožní pomocou hradla $NXOR$ vytvoriť impulz (signál *E*), ktorý prostredníctvom asynchrónneho setu nastaví výstup obvodu DDF_2 (signál *H*) do logickej 1. Dĺžka tohto impulzu je ≈ 40 ns. Tento jav je možné pozorovať na Obr. 3.8(b) medzi signálmi *C*, *D* a *E*. V tomto momente je spustený druhý

3.3. Návrh kalibračného systému

(korekčný) kalibračný cyklus, počas ktorého je cez hradlo $NAND_2$ generovaný signál CLK_{AUX} . Pre zabezpečenie presnej sekvencie týchto signálov je pred obvodom DDF_2 umiestnená oneskorovacia bunka DC_2 , ktorá zabezpečí nezmenený signál G na vstupe DDF_2 počas kritického impulzu. V momente, kedy komparátor znova prekopí svoju výstupnú hodnotu do logickej 1, obvod DDF_2 zmení hodnotu signálu H do logickej 0, v dôsledku čoho hradlo $NAND_2$ zastaví generovanie riadiaceho signálu CLK_{AUX} , čím sa celý kalibračný proces ukončí.



Obr. 3.8: Interné signály riadiacej logiky (a) a ich špecifické priblíženie (b).

3.3.3 Počítadlá

Obe asynchrónne počítadlá sú realizované konvenčným návrhom, pričom využívajú plný rozsah svojej kapacity. V oboch prípadoch je ako pamäťový element použitý D preklápací obvod. Hodnoty rozlíšenia počítadiel (tzn. aj D/A prevodníkov) boli na základe predošlej verzie kalibrovaného obvodu VGA a zároveň na základe aktuálnych simulácií optimalizované z 8-bitového na 10-bitové v hlavnom kalibračnom cykle a zo 4-bitového na 7-bitové v korekčnom kalibračnom cykle. Okrem rozličného počtu bitov

sú topológie oboch počítačadiel v princípe totožné. V dizertačnej práci je uvedená topológia počítačadla hlavnej časti kompenzačného bloku kalibračného podobvodu. Okrem priamych výstupov tvoriacich zbernicu D_{MAIN} sú z tohto počítačadla využívané aj negované výstupy tvoriace zbernicu $\overline{D_{MAIN}}$. Obe zbernice nachádzajú svoje uplatnenie pri spínaní prenosových hradíel vnútri D/A prevodníka (objasnené v časti 3.3.4 - *Činnosť kalibračného systému*). To isté platí aj pre výstupné zbernice počítačadla korekčnej časti D_{CORR} a $\overline{D_{CORR}}$.

3.3.4 D/A prevodníky

Keďže výstup z kalibračného podobvodu, ktorý je priamo pripojený ku kalibrovanému FDDA je na blokovej úrovni prakticky výstup z D/A prevodníka (technicky z dvoch D/A prevodníkov, no z topologického hľadiska je možné hovoriť o jednom obvode), ide o blok, ktorému je potrebné venovať zvýšenú pozornosť už od počiatku celého návrhu. Topológia D/A prevodníka využíva princíp subbinárnej R-xR siete, ktorej podrobný návrh je uvedený v dizertačnej práci.

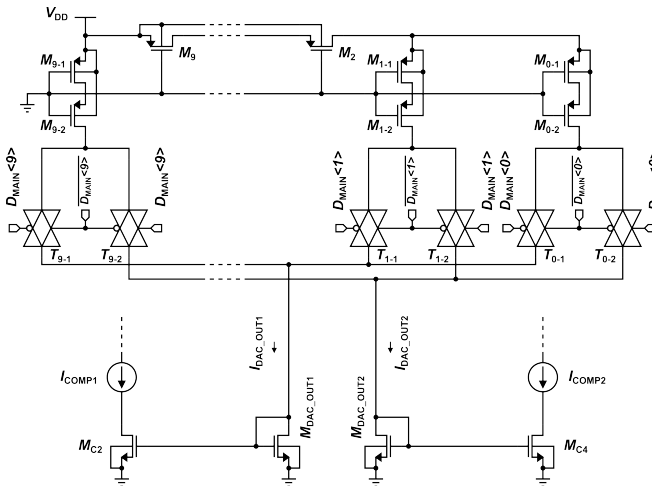
Činnosť kalibračného systému

V rámci topológií R-xR sa pri využití MOS tranzistorov ako pseudorezistorov používa označenie M-xM. Topológie oboch prevodníkov v rámci kalibračného podobvodu boli navrhnuté ako M-2M siete s rozdielnym plným rozsahom a počtom bitov. Rovnako ako pri počítačdlách, D/A prevodník v hlavnom kalibračnom cykle má rozlíšenie 10 bitov a D/A prevodník v korekčnom kalibračnom cykle 7 bitov. Na Obr. 3.9 je znázornená topológia D/A prevodníka z hlavnej časti kompenzačného bloku. Jednotlivé tranzistory M_{0-x} až M_{9-x} sú spínané prenosovými hradlami T_{0-x} až T_{9-x} , ktoré sú ovládané zbernicami D_{MAIN} a jej negovanou verziou $\overline{D_{MAIN}}$. Tento princíp analogicky platí aj pre D/A prevodník z korekčného kalibračného cyklu, kde sú prenosové hradlá ovládané zbernicami D_{CORR} a $\overline{D_{CORR}}$. Napriek použitiu topológie M-2M sú oba D/A prevodníky subbinárne, pretože R_{ON} sériového zapojenia tranzistorov tvoriacich 2M pseudorezistory je určite viac ako 2x väčší ako R_{ON} horizontálnych tranzistorov, ktoré predstavujú M pseudorezistory. Je to spôsobené nerovnosťou napätí V_{GS} tranzistorov 2M, čo je zapríčinené totožným potenciálom (GND) V_G na ich hradlách a zároveň ich sériovým zapojením.

V uvedenej topológii spínanie prebieha spôsobom, kde prúd I_{DAC_OUT1} je na počiatku hlavného kalibračného cyklu rovný plnému prúdovému rozsahu D/A prevodníka a naopak I_{DAC_OUT2} (ideálne) zodpovedá hodnote 0 A. Je to z dôvodu, že na po-

3.3. Návrh kalibračného systému

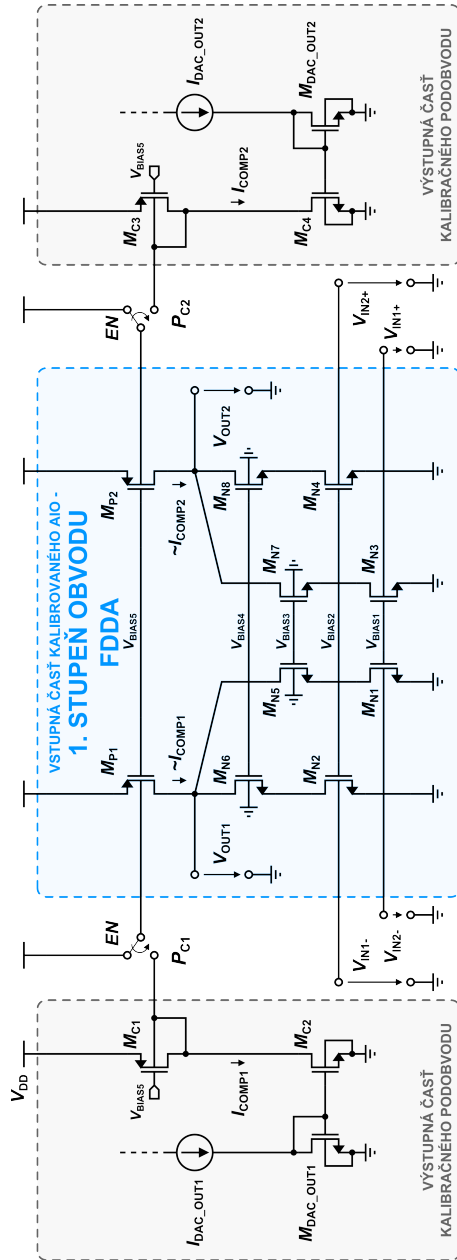
čiatku tohto cyklu je riadiaci signál z počítadla D_{MAIN} rovný slovu «000000000» a $\overline{D_{MAIN}}$ slovu «111111111». Ďalej prezrkadlené výstupné kompenzačné prúdy I_{COMP1} a I_{COMP2} sú teda do vstupného diferenciálneho páru FDDA (konkrétne do výstupných vetiev prvého zosilňovacieho stupňa) na obvodovej úrovni dodané spôsobom, kde I_{COMP1} je na počiatku s hodnotou plného rozsahu D/A prevodníka vstreknutý do vetvy V_{OUT1} , kdežto I_{COMP2} je na počiatku (ideálne) nulový dodaný do vetvy V_{OUT2} . Toto zároveň spôsobí, že diferenciálny výstup prvého zosilňovacieho stupňa bude $V_{OUT1} \approx V_{DD}$ a $V_{OUT2} \approx GND$. Postupnou inkrementáciou D_{MAIN} a dekrementáciou $\overline{D_{MAIN}}$ sú oba prúdy ovplyvňované rovnakým krokom D/A prevodníka. Tu je veľmi dôležité pripomenúť, že výstupné vetvy prvého zosilňovacieho stupňa V_{OUT1} a V_{OUT2} sú druhým zosilňovacím stupňom invertované, teda medzi V_{OUT1} a V_{OUT11} a zároveň medzi V_{OUT2} a V_{OUT22} je fázový posun 180° . V momente, kedy postupnou dekrementáciou, resp. inkrementáciou prúdov I_{COMP1} , resp. I_{COMP2} prekročia výstupné napätia V_{OUT11} a V_{OUT22} z daných smerov hodnotu $1/2 \cdot V_{DD}$, je hlavný kalibračný cyklus zastavený. Vzniknuté presiaknutie jednotlivých V_{OUT11} a V_{OUT22} nad a pod hodnotu $1/2 \cdot V_{DD}$ preklopí hodnotu komparátora a je spustená korekčná kalibrácia. Pri korekčnej kalibrácii nie je zmenený princíp činnosti, len polarita vstrekaných prúdov, pričom s jemným krokom tohto prevodníka je docielená najlepšia možná kompenzácia vstupného napäťového offsetu V_{IN_OFF} . Tomuto deju zodpovedá nulovanie výstupného offsetu V_{OUT_OFF} znázornené v predchádzajúcej časti na Obr. 3.6.



Obr. 3.9: Topológia 10-bitového DAC v kalibračnom podobvode.

3.4 Modelovanie vplyvu kalibračného obvodu

Samotné pripojenie kalibračného podobvodu ku kalibrovanému FDDA si vyžaduje aj dôkladnú analýzu zmienných a dopadov, ktoré by mohli byť týmito procesom spôsobené. V tomto prípade bude vyšetrovaným parametrom výstupná impedancia prvého zosilňovacieho stupňa obvodu FDDA Z_{OUT_1st} v nekalibrovanej aj kalibrovanej konfigurácii. Pripojenie jedného z D/A prevodníkov ku obvodu FDDA je znázornené na Obr. 3.10. Signálom EN sú ovládané ideálne spínače na kompenzačných portoch PC_1 a PC_2 . Uzavretím týchto spínačov sú prostredníctvom prúdových zrkadiel (navrhnutých BD technikou) privedené konkrétne prúdy do jednotlivých vetiev prvého zosilňovacieho stupňa obvodu FDDA. Pri vytváraní modelov bolo z hľadiska vyšetrovania veličín pôsobiacich na Z_{OUT_1st} postačujúce v rámci obvodu FDDA uvažovať len jednu výstupnú vetvu vstupného symetrického páru (V_{OUT1}) a v rámci kalibračného podobvodu len jeden D/A prevodník.



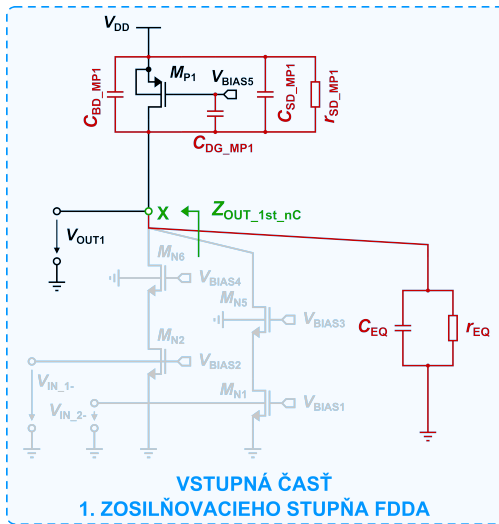
Obr. 3.10: Pripojenie medzi D/A prevodníkom a obvodom FDDA.

3.4.1 Z_{OUT_1st} FDDA pred kalibráciou

Na Obr 3.11 je znázornená význačná vstupná časť obvodu FDDA pred pripojením ku kalibračnému podobvodu. Vo všeobecnosti je výstupná impedancia daného zapojenia počítaná v uzle X prostredníctvom pomeru okamžitého napätia v_X a okamžitého prúdu i_X :

$$Z_{OUT_1st} = \frac{v_X}{i_X}. \quad (3.5)$$

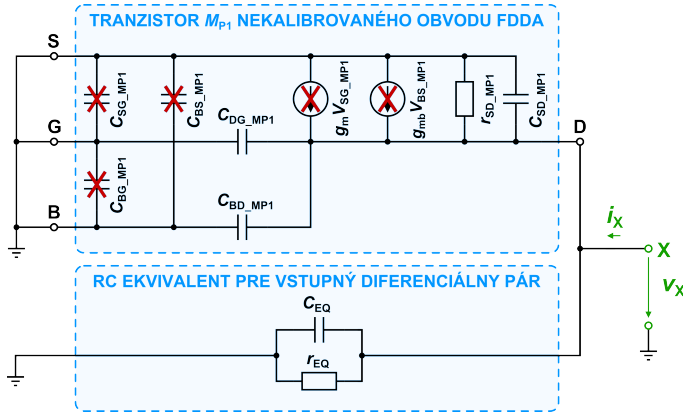
Vstupný diferenciálny pár je v tomto prípade nahradený uvažovaným ekvivalentným odporom r_{EQ} a kapacitou C_{EQ} . Pri kritickom tranzistore M_{P1} sú znázornené len tie veličiny, ktoré majú vplyv na toto zapojenie z hľadiska Z_{OUT_1st} . Výstupná impedancia konfigurácie pred kalibráciou je označená ako $Z_{OUT_1st_nC}$.



Obr. 3.11: Význačná vstupná časť obvodu FDDA bez pripojenia kalibračného podobvodu.

V rámci vytvoreného modelu (Obr. 3.12) sú pri tranzistore znázornené aj veličiny, ktoré pri nekalibrovanej konfigurácii obvodu FDDA do vyšetrovanej zmeny Z_{OUT_1st} neprispievajú (označené červeným symbolom X). Z hľadiska tranzistora M_{P1} teda na $Z_{OUT_1st_nC}$ vplyvajú len parazitné kapacity C_{BD_MP1} , C_{SD_MP1} , C_{DG_MP1} , a výstupný odpor r_{SD_MP1} .

3.4. Modelovanie vplyvu kalibračného obvodu



Obr. 3.12: Modelovanie $Z_{OUT_1st_nC}$.

Na základe uvedeného modelu pre výstupnú impedanciu $Z_{OUT_1st_nC}$ platí:

$$Z_{OUT_1st_nC} = \frac{r_{SDMP1} r_{EQ}}{s \cdot r_{SDMP1} r_{EQ} (C_{BDMP1} + C_{SDMP1} + C_{DGM1}) + r_{SDMP1} + r_{EQ}}, \quad (3.6)$$

kde všetky uvedené symboly figurujú v modeli na Obr. 3.12. Ekvivalentný odpor r_{EQ} je v tomto prípade možné na základe topológie FDDA vyjadriť nasledovne:

$$r_{EQ} = g_{mbMN1} r_{DSMN1} r_{DSMN5} \parallel g_{mbMN2} r_{DSMN2} r_{DSMN6} = \frac{1}{2} g_{mbMN1} r_{DSMN1} r_{DSMN5}, \quad (3.7)$$

z čoho vyplýva vzťah voči r_{SDMP1} :

$$r_{EQ} \gg r_{SDMP1}. \quad (3.8)$$

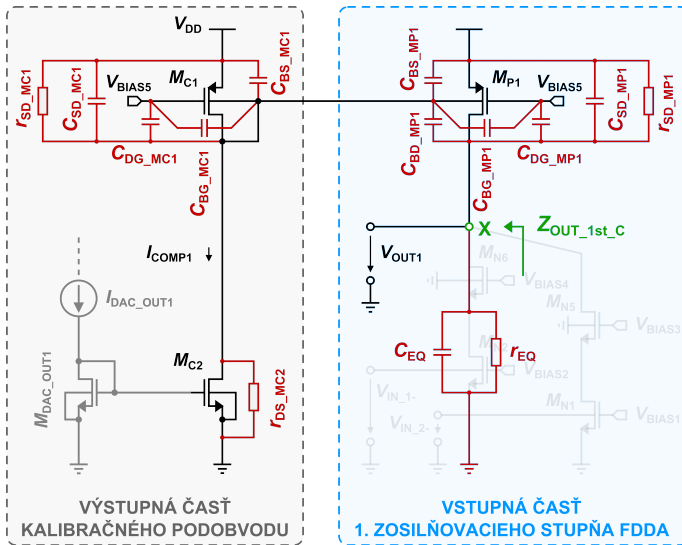
Na základe aproximácie 3.8 je možné výstupnú impedanciu $Z_{OUT_1st_nC}$ vyjadriť vzťahom:

$$Z_{OUT_1st_nC} = \frac{r_{SDMP1}}{s \cdot r_{SDMP1} (C_{BDMP1} + C_{SDMP1} + C_{DGM1} + C_{EQ}) + 1}. \quad (3.9)$$

V súlade so vzťahom 3.9 je možné konštatovať, že najväčší vplyv na $Z_{OUT_1st_nC}$ má v prípade nekalibrovanej konfigurácie FDDA výstupný odpor r_{SDMP1} .

3.4.2 Z_{OUT_1st} FDDA po kalibrácii

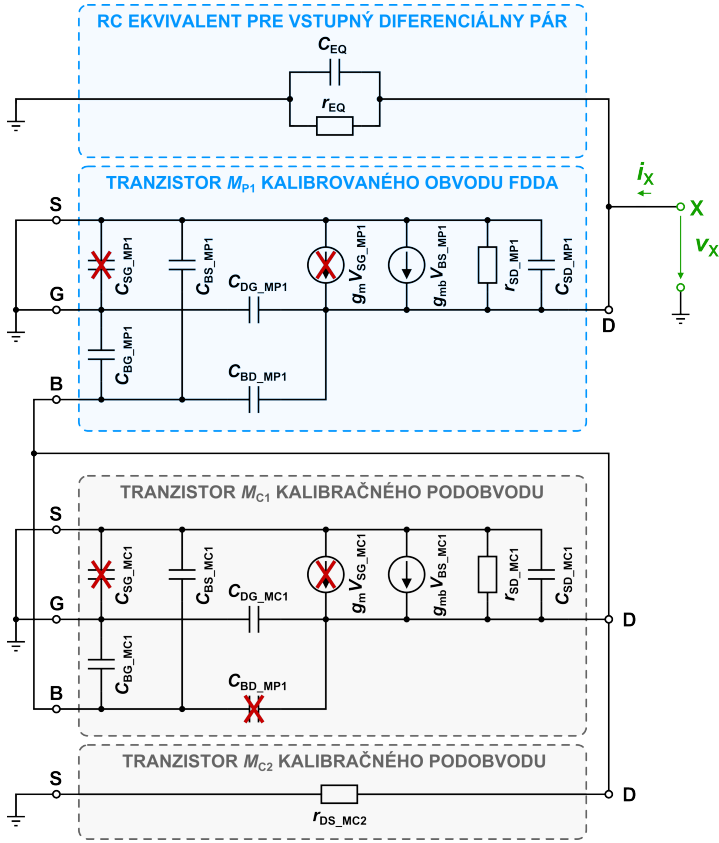
Situácia v kalibrovanej konfigurácii obvodu FDDA je z hľadiska množstva veličnín ovplyvňujúcich Z_{OUT_1st} zložitejšia. Výstupná impedancia má v tomto prípade označenie $Z_{OUT_1st_C}$. Na Obr. 3.13 je znázornená význačná vstupná časť obvodu FDDA spolu s výstupnou časťou kalibračného podobvodu. Pre tranzistor M_{P1} sú v tomto prípade relevantné ďalšie dve parazitné kapacity C_{BG_MP1} a C_{BS_MP1} z dôvodu vytvorenia BD prúdového zrkadla s tranzistorom M_{C1} . Väčšina parazitných kapacít ovplyvňujúcich $Z_{OUT_1st_C}$ je z hľadiska tranzistorov M_{P1} a M_{C1} totožných. Výnimkou je kapacita C_{BD_MC1} , ktorá túto impedanciu neovplyvňuje, pretože tranzistor M_{C1} je v uvedenom zapojení zrkadliaci. Tranzistor M_{C2} bol postačujúco modelovaný len jeho výstupným odporom r_{DS_MC2} .



Obr. 3.13: Význačná vstupná časť obvodu FDDA s pripojením kalibračného podobvodu.

Na Obr. 3.14 je znázornený model zapojenia kalibrovanej konfigurácie obvodu FDDA, v ktorom sú jednotlivé veličiny ovplyvňujúce $Z_{OUT_1st_C}$ rozdelené do štyroch rámcových celkov.

3.4. Modelovanie vplyvu kalibračného obvodu



Obr. 3.14: Modelovanie $Z_{OUT_1st_C}$.

Na základe uvedených modelov bola vyjadrená približná hodnota $Z_{OUT_1st_C}$ nasledovne:

$$Z_{OUT_1st_C} \approx Z_{OUT_1st_nC} \frac{s \cdot r_{SD_{MC1}} r_{DS_{MC2}} C_A + r_{SD(DS)_{MC1(2)}}}{s \cdot r_{SD_{MC1}} r_{DS_{MC2}} C_B + r_{SD(DS)_{MC1(2)}} + r_{SD_{MC1}} r_{DS_{MC2}} g_{mb_{MP1}}}, \quad (3.10)$$

kde pre $r_{SD(DS)_{MC1(2)}}$, C_A a C_B platí:

$$r_{SD(DS)_{MC1(2)}} = r_{SD_{MC1}} + r_{DS_{MC2}} + r_{SD_{MC1}} r_{DS_{MC2}} g_{mb_{MC1}}, \quad (3.11)$$

$$C_A = C_{MC1_{PARASITIC}} + C_{BD_{MP1}} + C_{BG_{MP1}} + C_{BS_{MP1}}, \quad (3.12)$$

$$C_B = C_{MC1_{PARASITIC}} + C_{BG_{MP1}} + C_{BS_{MP1}} + C_{SD_{MP1}} + C_{DG_{MP1}} + C_{EQ}, \quad (3.13)$$

pričom $C_{MC1_{PARASITIC}}$ je súčet všetkých parazitných kapacít $MC1$ ovplyvňujúcich $Z_{OUT_1st_C}$:

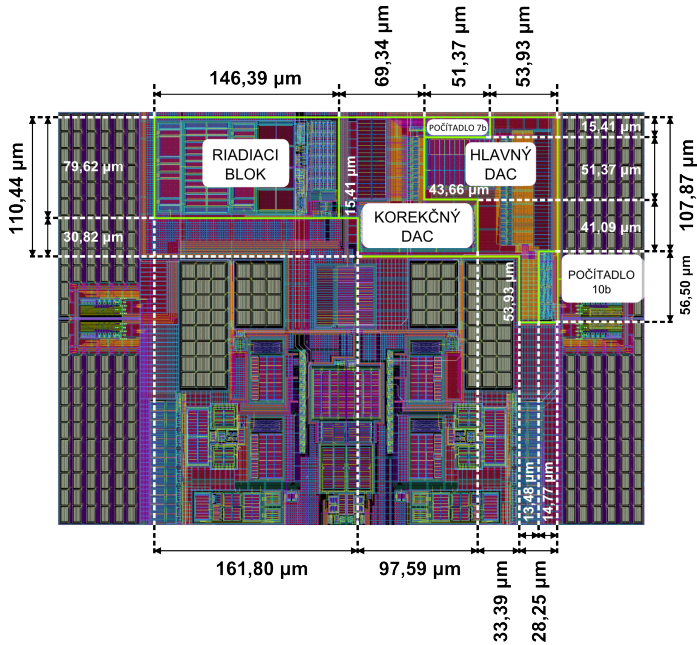
$$C_{MC1_{PARASITIC}} = C_{BG_{MC1}} + C_{BS_{MC1}} + C_{SD_{MC1}} + C_{DG_{MC1}} \quad (3.14)$$

Všetky symboly uvedených vzťahov sú zahrnuté vo vytvorených modeloch. V porovnaní so $Z_{OUT_1st_nC}$, impedanciu $Z_{OUT_1st_C}$ navyiac ovplyvňujú substrátové prenosové vodivosti oboch analyzovaných tranzistorov (g_{mb_MP1} , g_{mb_MC1}). Z analýzy tohto modelovania vyplýva, že tranzistory $MP1$, $MC1$ a $MC2$ zásadne vplyvajú na zmenu impedancie Z_{OUT_1st} . Parazitná kapacita C_{BD_MP1} síce spôsobuje jej zvýšenie, no kapacity C_{SD_MP1} a C_{DG_MP1} spolu s výstupnými odpormi r_{SD_MC1} a r_{DS_MC2} a prenosovou substrátovou vodivosťou g_{mb_MP1} spôsobujú naopak jej zníženie. Týmto skutočnostiam sme pri návrhu kalibračného systému venovali náležitú pozornosť.

3.5 Topografia kalibračného systému

Na Obr. 3.15 je znázornená topografia celého obvodu FDDA vrátane digitálneho kalibračného podobvodu ako uceleného SoC. Hranice jednotlivých blokov kalibračného podobvodu sú vyznačené zelenou farbou. Rozmery v rámci topografie sú uvedené v μm .

Celková plocha tohto systému je $157,920 \cdot 10^3 \mu\text{m}^2$ s rozmermi $336 \mu\text{m} \times 470 \mu\text{m}$. V Tab. 3.1 je uvedený prehľad plôch jednotlivých vyznačených blokov. Plocha kalibračného podobvodu zaberá $\approx 20\%$ z celkového SoC. Najväčším blokom spomedzi uvedených je riadiaci blok s rozmermi $146,39 \mu\text{m} \times 79,62 \mu\text{m}$ a plochou $11,656 \cdot 10^3 \mu\text{m}^2$. Na druhej strane, najmenším blokom je 7-bitové počítadlo s rozmermi $51,37 \mu\text{m} \times 15,41 \mu\text{m}$ a plochou $0,792 \cdot 10^3 \mu\text{m}^2$.



Obr. 3.15: Topografia FDDA spolu s digitálnym kalibračným podobvodom.

Tab. 3.1: Prehľad jednotlivých plôch celkového SoC.

Obvod	Plocha [$10^3 \mu\text{m}^2$]
Riadiaci blok	11,656
DAC 10 bitov	9,621
DAC 7 bitov	8,799
Počítadlo 10 bitov	0,835
Počítadlo 7 bitov	0,792
<i>Kalibračný podobvod spolu</i>	31,703
Celkový SoC	157,920

3.6 Verifikácia digitálnej kalibrácie FDDA

Keďže špecifický návrh NN obvodov si vo všeobecnosti vyžaduje osobitý prístup k verifikácii, nasledovná časť dizertačnej práce sa spočiatku venuje konkrétnym konfiguráciám obvodu FDDA navrhnutým pre simulovanie vyšetrovaných parametrov. Týmto

parametrami sú frekvenčné charakteristiky obvodu FDDA, parametre CMRR a PSRR, a v našom prípade hlavne vstupný napäťový ofset V_{IN_OFF} . Každý z uvedených parametrov bol simulovaný použitím MC analýzy, pričom samotná verifikácia pozostáva z rozboru najlepších (BC, z angl. *Best Case*) a najhorších (WC, z angl. *Worst Case*) charakteristík a hodnôt týchto parametrov pred a po kalibrácii obvodu FDDA pre tri rôzne hodnoty teploty ($-20\text{ }^{\circ}\text{C}$, $27\text{ }^{\circ}\text{C}$ a $85\text{ }^{\circ}\text{C}$). Meritom aktuálnej časti práce sú výsledky meraní uvedených veličín prototypových čipov, ktoré sú v závere na základe stanovenej metriky porovnané s inými prácami. Prvotné výsledky simulácií a meraní, ktoré predchádzali výsledkom uvedeným v nasledujúcej časti boli autorom publikované v prácach [DMZ1, DMK4]. Prístupy a metódy uplatnené pri meraní obvodu FDDA boli publikované v práci [DMC2]. V rámci autoreferátu sú okrem vplyvu malosignálového odporu na zosilnenie obvodu FDDA uvedené len vybrané dosiahnuté výsledky.

Vplyv malosignálového výstupného odporu FDDA na A_{CL}

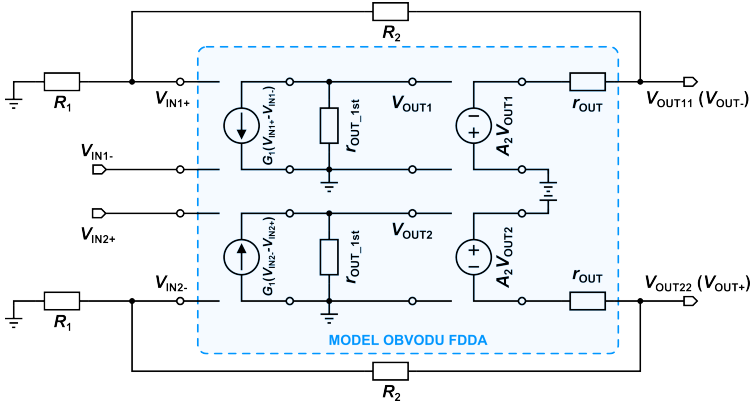
Využitím konfigurácie s otvorenou slučkou spätnej väzby (OL, z angl. *Open Loop*) bolo v typickej podmienke odsimulované vlastné zosilnenie obvodu FDDA A_{OL} , pre ktoré platí:

$$A_{OL} = 1204 \approx 61,61 \text{ dB}. \quad (3.15)$$

Prostredníctvom konfigurácie s uzavretou slučkou spätnej väzby (CL, z angl. *Closed Loop*) boli odsimulované všetky frekvenčné charakteristiky obvodu - amplitúdové (AFCH) a fázové (FFCH). Zosilnenie A_{CL} bolo rezistorami empiricky nastavené na celkovú hodnotu 201-krát ($R = 1 \text{ k}\Omega$, $n = 200$). Platí:

$$A_{CL} = 1 + \frac{nR}{R} = 1 + n = 201 \approx 46,06 \text{ dB}. \quad (3.16)$$

V tomto bode je potrebné poznamenať, že hodnota $A_{CL} \approx 46 \text{ dB}$ nebola ani v rámci simulovaných ani meraných výsledkov dosiahnutá najmä kvôli vplyvu príspevku malosignálového výstupného odporu FDDA r_{OUT} . Odpor r_{OUT} je zvýšený ako dôsledok nízkeho výstupného prúdu v rámci návrhu samotného NN obvodu. Vplyv r_{OUT} na A_{CL} je možné vyjadriť prostredníctvom modelu obvodu FDDA v konfigurácii CL, znázorneného na Obr. 3.16. V rámci modelu je vstupný stupeň nahradený Nortonovým prúdovým zdrojom a výstupný stupeň Theveninovým napäťovým zdrojom. Spätňoväzbové rezistory sú označené ako R_1 a R_2 .



Obr. 3.16: Model obvodu FDDA v konfigurácii CL.

Pre A_{CL} na základe modelu obvodu FDDA platí:

$$A_{CL} = \frac{G_1 r_{OUT_1st} A_2 (R_1 + R_2)}{R_1 + R_2 + r_{OUT} + G_1 r_{OUT_1st} A_2 R_1}, \quad (3.17)$$

kde G_1 a r_{OUT_1st} sú prenosová vodivosť a výstupný malosignálový odpor vstupného stupňa a A_2 je zosilnenie výstupného stupňa obvodu FDDA.

Pre súčín veličín $G_1 r_{OUT_1st} A_2$ zároveň platí:

$$G_1 r_{OUT_1st} A_2 = A_{OL}. \quad (3.18)$$

Zo vzťahov 3.17 a 3.18 vyplýva:

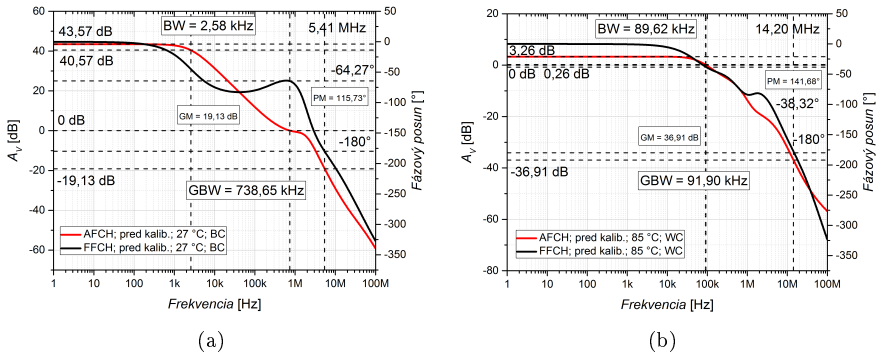
$$A_{CL} = \frac{(R_1 + R_2)}{\frac{R_1}{A_{OL}} + \frac{R_2}{A_{OL}} + \frac{r_{OUT}}{A_{OL}} + R_1}. \quad (3.19)$$

Pri dostatočne nízkych hodnotách R_1 , R_2 a zároveň dostatočne vysokej hodnote zosilnenia A_{OL} by na základe vzťahu 3.19 bolo možné aproximáciou dosiahnuť známy konvenčný vzťah $A_{CL} = 1 + R_2/R_1$. Pri daných návrhárskych podmienkach je však potrebné brať vplyv zosilnenia A_{OL} a malosignálového výstupného odporu do úvahy. Približná hodnota spomínaného výstupného odporu obvodu FDDA bola v typickej podmienke odsimulovaná $r_{OUT} \approx 321,6 \text{ k}\Omega$, čo určuje hodnotu $A_{CL} = 140,16 \approx 43 \text{ dB}$.

3.6.1 Výsledky simulácií

Analýza vybraných parametrov obvodu FDDA pred kalibráciou

Na Obr. 3.17 sú znázornené BC a WC frekvenčných charakteristík obvodu FDDA pred kalibráciou. Najlepšie jednosmerné zosilnenie (a) $A_{DC} = 43,57$ dB bolo dosiahnuté pri teplote 27 °C. V tomto prípade predstavovali ostatné frekvenčné parametre nasledovné hodnoty: $BW = 2,58$ kHz, $GBW = 738,65$ kHz, amplitúdová rezerva $GM = 19,13$ dB a fázová rezerva $PM = 115,73$ °. Najhoršie frekvenčné vlastnosti (b) boli odsimulované pri teplote 85 °C, kde zosilnenie $A_{DC} = 3,26$ dB, okrem toho $BW = 89,62$ kHz, $GBW = 91,90$ kHz, $GM = 36,91$ dB a $PM = 141,68$ °.

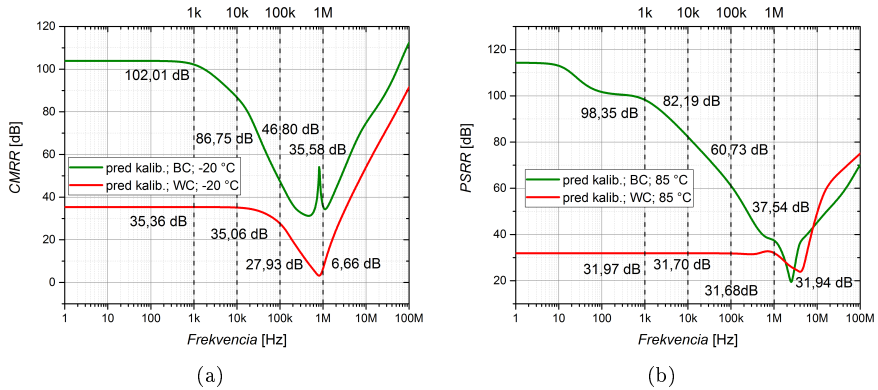


Obr. 3.17: Simulované BC (a) a WC (b) frekvenčných charakteristík obvodu FDDA pred kalibráciou.

Na Obr. 3.18 sú zobrazené BC a WC parametrov CMRR (a) a PSRR (b) obvodu FDDA pred kalibráciou. Pre každú charakteristiku boli vytýčené význačné hodnoty týchto parametrov pri frekvenciách 1 kHz, 10 kHz, 100 kHz a 1 MHz. BC a WC boli v tomto prípade určené na základe nízkofrekvenčných hodnôt daných parametrov. Celkový najlepší prípad parametra CMRR bol dosiahnutý pri teplote -20 °C s hodnotami $102,01$ dB @ 1 kHz, $86,75$ dB @ 10 kHz, $46,80$ dB @ 100 kHz a $35,58$ dB @ 1 MHz. Pri tejto teplote bol zároveň odsimulovaný celkový WC parametra CMRR s hodnotami $35,36$ dB @ 1 kHz, $35,06$ dB @ 10 kHz, $27,93$ dB @ 100 kHz a $6,66$ dB @ 1 MHz. Krivky oboch prípadov v podstate nemenia svoju povahu. Celkový najlepší prípad parametra PSRR bol v simulácii dosiahnutý pri teplote 85 °C s hodnotami $98,35$ dB @ 1 kHz, $82,19$ dB @ 10 kHz, $60,73$ dB @ 100 kHz a $37,54$ dB @ 1 MHz. Podobne bol aj pri parametri PSRR odsimulovaný aj jeho celkový WC pri rovnakej teplote s hodnotami $31,97$ dB @ 1 kHz,

3.6. Verifikácia digitálnej kalibrácie FDDA

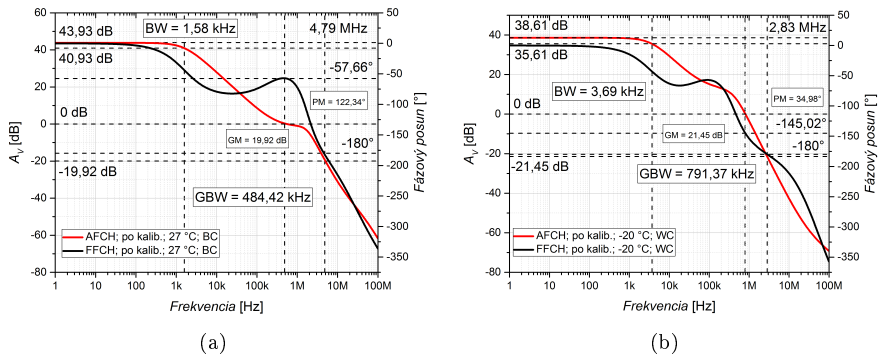
31,70 dB @10kHz, 31,68 dB @100kHz a 31,94 dB @1MHz. Pri oboch parametroch majú krivky ich najhorších prípadov na nízkych frekvenciách v rôznych teplotách relatívne konštantný charakter oproti ich najlepším prípadom.



Obr. 3.18: Simulované BC a WC parametrov CMRR (a) a PSRR (b) obvodu FDDA pred kalibráciou.

Analýza vybraných parametrov obvodu FDDA po kalibrácii

Na Obr. 3.19 sú uvedené BC a WC frekvenčných charakteristík obvodu FDDA po kalibrácii. Najlepší prípad parametra $A_{DC} = 43,93$ dB (a) bol dosiahnutý pri teplote 27 °C, kde $BW = 1,58$ kHz, $GBW = 484,42$ kHz, $GM = 19,92$ dB a $PM = 122,34$ °.

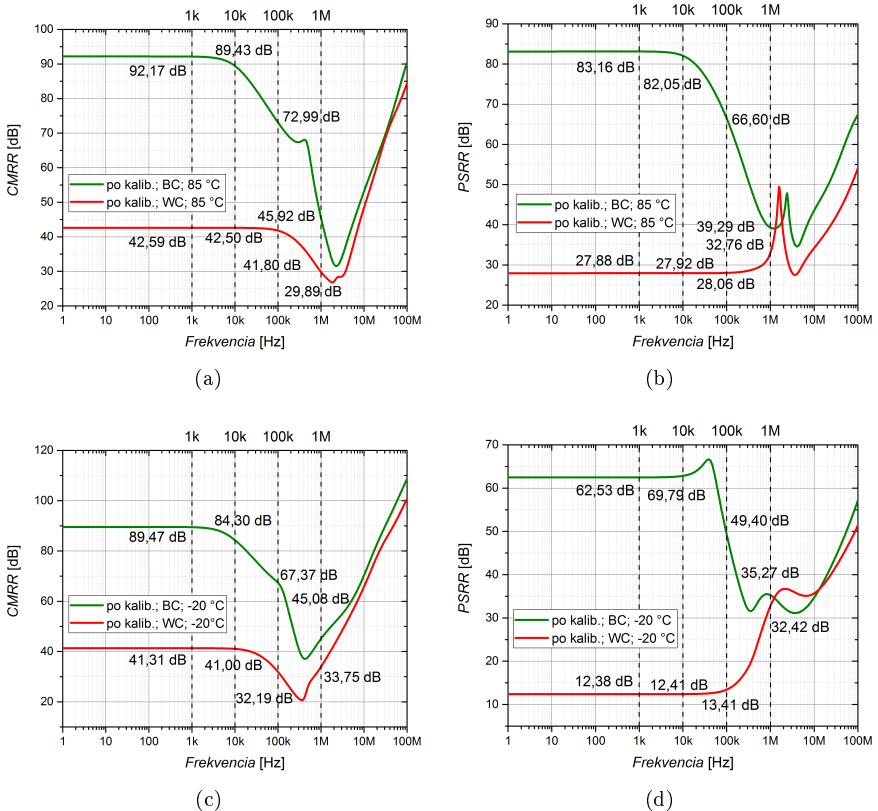


Obr. 3.19: Simulované BC (a) a WC (b) frekvenčných charakteristík obvodu FDDA po kalibrácii.

3.6. Verifikácia digitálnej kalibrácie FDDA

Zrejším rozdielom oproti frekvenčným charakteristikám pred kalibráciou v tomto prípade predstavujú hodnoty najhorších prípadov pri všetkých teplotách. Zatiaľ čo pred kalibráciou sa WC hodnoty parametra A_{DC} pohybovali v rozmedzí $\approx 3 - 7$ dB, po kalibrácii je v najhoršom prípade (b) hodnota $A_{DC} = 38,61$ dB pri teplote -20 °C. Pri tejto teplote boli v rámci najhoršieho prípadu A_{DC} zároveň dosiahnuté $BW = 3,69$ kHz, $GBW = 791,37$ kHz, $GM = 21,45$ dB a $PM = 34,98$ °.

Séria charakteristík na Obr. 3.20 zobrazuje hodnoty parametrov CMRR a PSRR obvodu FDDA po kalibrácii.

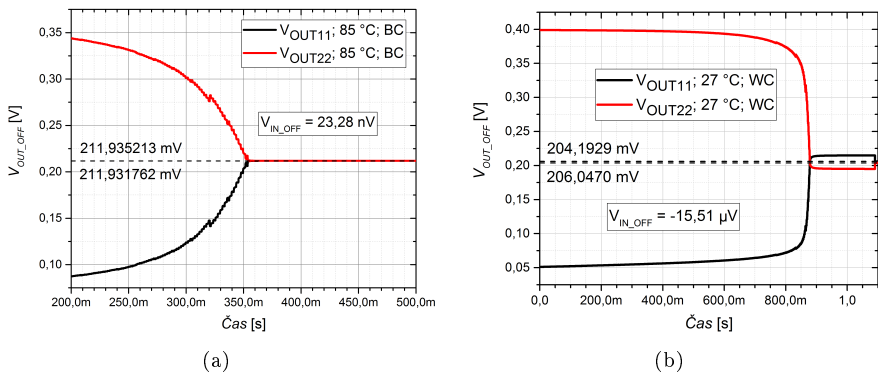


Obr. 3.20: Simulované BC a WC parametrov CMRR (a, c) a PSRR (b, d) obvodu FDDA po kalibrácii.

3.6. Verifikácia digitálnej kalibrácie FDDA

V rámci všetkých BC parametra CMRR došlo pri jednotlivých teplotách k poklesu jeho hodnôt, resp. k jeho zhoršeniu. Celkový BC parametra CMRR (a) bol po kalibrácii odsimulovaný pri teplote 85 °C s hodnotami 92,17 dB @1kHz, 89,43 dB @10kHz, 72,99 dB @100kHz a 45,92 dB @1MHz. Na druhej strane, v rámci všetkých WC došlo pri jednotlivých teplotách k nárastu jeho hodnôt, resp. k jeho zlepšeniu. Celkový WC parametra CMRR (c) bol odsimulovaný pri teplote -20 °C s hodnotami 41,31 dB @1kHz, 41,00 dB @10kHz, 32,19 dB @100kHz a 33,75 dB @1MHz. Oproti situácii pred kalibráciou sa okrem samotných hodnôt povaha kriviek parametra CMRR po kalibrácii nezmenila ako pre najlepšie, tak ani pre najhoršie prípady v rámci uvedených teplôt. Pri parametri PSRR došlo po kalibrácii obvodu FDDA k jeho zhoršeniu vo všetkých prípadoch. Celkový najlepší prípad (b) bol po kalibrácii dosiahnutý s hodnotami 83,16 dB @1kHz, 82,05 dB @10kHz, 66,60 dB @100kHz a 39,29 dB @1MHz pri teplote 85 °C. Celkový WC parametra PSRR po kalibrácii (d) bol zaznamenaný pri teplote -20 °C s hodnotami 12,38 dB @1kHz, 12,41 dB @10kHz, 13,41 dB @100kHz a 32,42 dB @1MHz. Podobne ako pri CMRR, ani pri PSRR sa povaha jednotlivých kriviek oproti situácii pred kalibráciou nezmenila.

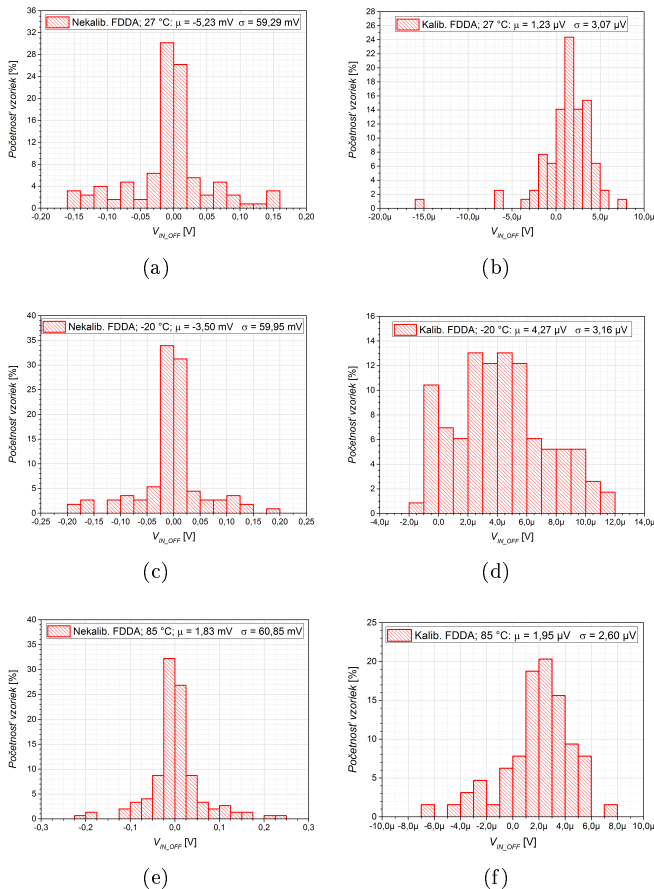
Na Obr. 3.21 sú znázornené dosiahnuté hodnoty vstupného napäťového offsetu V_{IN_OFF} prostredníctvom nulovania výstupného napäťového offsetu V_{OUT_OFF} počas celého kalibračného cyklu. Najnižšia hodnota V_{IN_OFF} (a) bola odsimulovaná pri teplote 85 °C s hodnotou 23,28 nV. Naopak najvyššia (absolútna) hodnota (b) tejto veličiny bola odsimulovaná s hodnotou -15,51 μ V pri teplote 27 °C.



Obr. 3.21: Simulované BC (a) a WC (b) nulovania V_{OUT_OFF} obvodu FDDA počas kalibračného procesu.

Štatistické porovnanie hodnôt V_{IN_OFF} pred a po kalibrácii

Nasledujúca skupina histogramov znázornená na Obr. 3.22 porovnáva zmenu hodnôt V_{IN_OFF} pred a po kalibrácii obvodu FDDA. Pri teplote 27 °C bola pred kalibráciou (a) dosiahnutá stredná hodnota pri uvedenej teplote $\mu = -5,23$ mV a štandardná odchýlka $\sigma = 59,29$ mV. Po kalibrovaní (b) došlo k markantnému rozdielu v celkovom rozložení histogramu, pričom stredná hodnota bola dosiahnutá $\mu = 1,23$ μ V a štandardná odchýlka $\sigma = 3,07$ μ V.



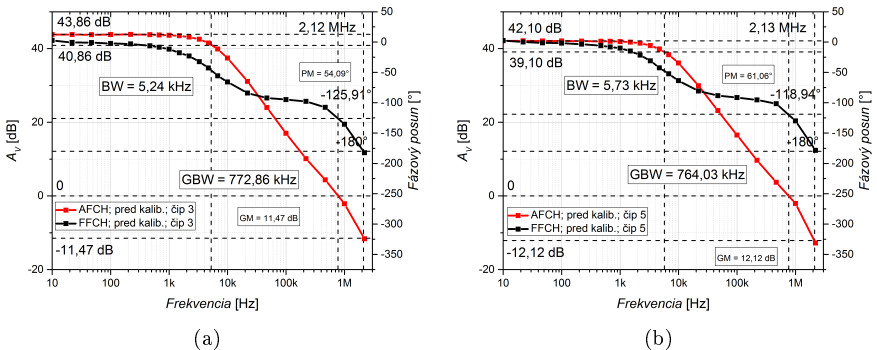
Obr. 3.22: Štatistické porovnanie hodnôt V_{IN_OFF} pred (a, c, e) a po (b, d, f) kalibrácii obvodu FDDA.

Pri teplote $-20\text{ }^{\circ}\text{C}$ bola pred kalibráciou (c) stredná hodnota rovná $\mu = -3,50\text{ mV}$ a štandardná odchýlka $\sigma = 59,95\text{ mV}$. Po kalibrácii (d) bola stredná hodnota odsimulovaná $\mu = 4,27\text{ }\mu\text{V}$ a štandardná odchýlka $\sigma = 3,16\text{ }\mu\text{V}$. Napokon pri teplote $85\text{ }^{\circ}\text{C}$ bola pred kalibráciou (e) stredná hodnota dosiahnutá $\mu = 1,83\text{ mV}$ a štandardná odchýlka $\sigma = 60,85\text{ mV}$. Po kalibrácii (f) bolo znovu zaznamenané zlepšenie, a to so strednou hodnotou $\mu = 1,95\text{ }\mu\text{V}$ a štandardnou odchýlkou $\sigma = 2,60\text{ }\mu\text{V}$.

3.6.2 Výsledky meraní

Meranie vybraných parametrov obvodu FDDA pred kalibráciou

Všetky charakteristiky a parametre boli získané z meraní 5 prototypových vzoriek čipov pri teplote $27\text{ }^{\circ}\text{C}$. Vyhodnotenie najlepšieho a najhoršieho prípadu v rámci meraní spočíva vo výbere konkrétneho prototypu. Na Obr. 3.23 sú znázornené BC a WC nameraných frekvenčných charakteristík obvodu FDDA pred kalibráciou. Najlepšie A_{DC} bolo namerané pri AFCH čipu č. 3 (a) s hodnotou $43,86\text{ dB}$. Ostatné frekvenčné parametre mali v prípade uvedeného čipu reprezentujúce hodnoty $BW = 5,24\text{ kHz}$, $GBW = 772,86\text{ kHz}$, $GM = 11,47\text{ dB}$ a $PM = 54,09^{\circ}$. Najnižšia hodnota A_{DC} reprezentujúca WC pred kalibráciou bola nameraná pri čipe č. 5 (b) s hodnotou $42,10\text{ dB}$, pričom $BW = 5,73\text{ kHz}$, $GBW = 764,03\text{ kHz}$, $GM = 12,12\text{ dB}$ a $PM = 61,06^{\circ}$.

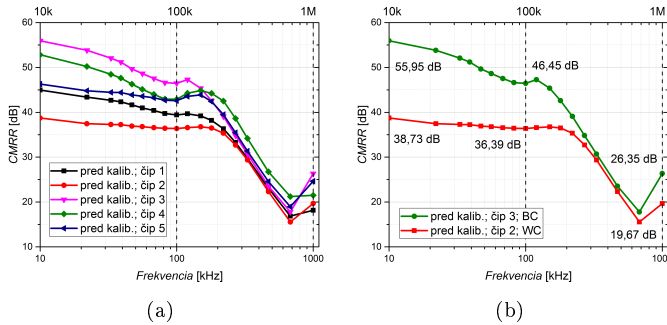


Obr. 3.23: Merané BC (a) a WC (b) frekvenčných charakteristík obvodu FDDA pred kalibráciou.

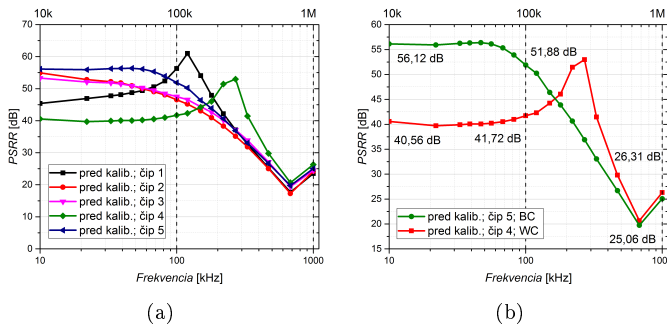
Na Obr. 3.24 sú znázornené merané charakteristiky parametra CMRR pred kalibráciou obvodu FDDA (a) a vyhodnotenie BC a WC z daných vzoriek (b). Povaha jednotlivých kriviek sa pri všetkých prototypových čipoch takmer vôbec nemení. Pri

3.6. Verifikácia digitálnej kalibrácie FDDA

krivkách na grafe (b) sú uvedené význačné hodnoty pre frekvencie 10 kHz, 100 kHz a 1 MHz. V rámci najlepšieho prípadu parametra CMRR boli pri čípe č. 3 namerané hodnoty 55,95 dB @10kHz, 46,45 dB @100kHz a 26,35 dB @1MHz. Z uvedených závislostí je najhorším prípadom parametra CMRR čip č. 2, pri ktorom boli namerané hodnoty 38,73 dB @10kHz, 36,39 dB @100kHz a 19,67 dB @1MHz. Merané charakteristiky parametra PSRR sú znázornené na Obr. 3.25 (a), pričom časť (b) znázorňuje vyhodnotenie BC a WC tohto parametra. Najvyššie nízko-frekvenčné hodnoty parametra PSRR boli namerané na čípe č. 5, a to 56,12 dB @10kHz, 51,88 dB @100kHz a okrem nich hodnota 25,06 dB @1MHz. Na čípe č. 4 boli naopak namerané najnižšie hodnoty parametra PSRR, a to 40,56 dB @10kHz, 41,72 dB @100kHz a okrem nich hodnota 26,31 dB @1MHz.



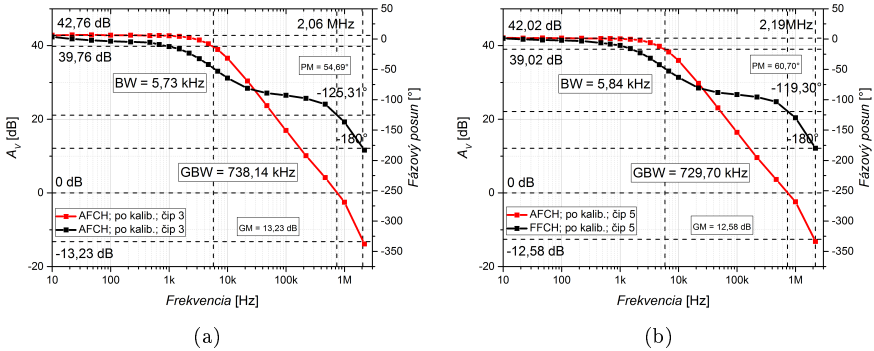
Obr. 3.24: Merané charakteristiky parametra CMRR prototypových čipov (a) a určenie jeho BC a WC (b) pred kalibráciou obvodu FDDA.



Obr. 3.25: Merané charakteristiky parametra PSRR prototypových čipov (a) a určenie jeho BC a WC (b) pred kalibráciou obvodu FDDA.

Meranie vybraných parametrov obvodu FDDA po kalibrácii

Na Obr. 3.26 sú znázornené BC a WC meraných frekvenčných charakteristík obvodu FDDA po kalibrácii. V porovnaní s frekvenčnými charakteristikami všetkých prototypových čipov je zrejmé, že po kalibrácii sú tieto závislosti prakticky totožné. Netýka sa to však len A_{DC} jednotlivých AFCH, ale aj ostatných parametrov vyznačených pri každej krivke. Najlepší prípad parametra A_{DC} (a) z uvedených závislostí predstavuje čip č. 3, kde bola jeho hodnota nameraná 42,76 dB. Ostatné parametre disponovali hodnotami $BW = 5,73$ kHz, $GBW = 738,14$ kHz, $GM = 13,23$ dB a $PM = 54,69^\circ$. Na čipe č. 5 (b) bolo namerané najnižšie $A_{DC} = 42,02$ dB spolu s parametrami $BW = 5,84$ kHz, $GBW = 729,70$ kHz, $GM = 12,58$ dB a $PM = 60,70^\circ$.

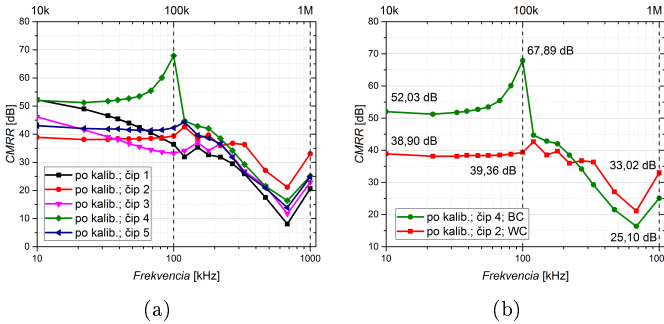


Obr. 3.26: Merané BC (a) a WC (b) frekvenčných charakteristík obvodu FDDA po kalibrácii.

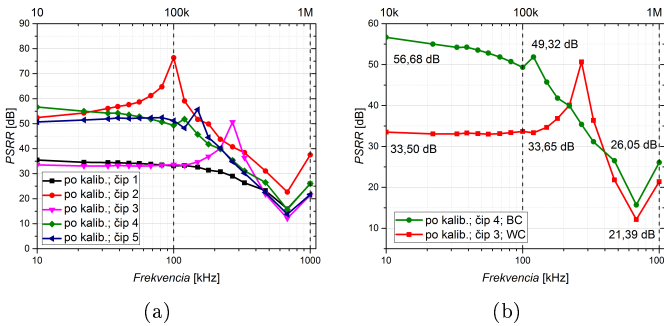
Namerané charakteristiky parametra CMRR po kalibrácii obvodu FDDA sú znázornené na Obr. 3.27(a), pričom (b) znázorňuje určenie jeho BC a WC. V porovnaní s charakteristikami pred kalibráciou došlo na nízkych frekvenciách v rámci najlepšieho prípadu k zníženiu jeho hodnôt. Najvyššie hodnoty parametra CMRR boli namerané na čipe č. 4, a to 52,03 dB @10kHz, 67,89 dB @100kHz, kde bola výrazne potlačená súhlasná zložka na vstupoch obvodu FDDA, a 25,10 dB @1MHz. Naopak najnižšie hodnoty boli zaznamenané pri čipe č. 2, ktoré predstavujú 38,90 dB @10kHz, 39,36 dB @100kHz a 33,02 dB @1MHz. Charakteristiky parametra PSRR po kalibrácii obvodu FDDA získané z meraní sú zobrazené na Obr. 3.28(a), pričom určenie jeho BC a WC znázorňuje časť (b). V porovnaní s charakteristikami pred kalibráciou došlo v najhoršom prípade k poklesu hodnoty PSRR zo 40,56 dB na 33,50 dB @10kHz. Okrem toho boli v rámci daného najhoršieho prípadu na čipe č. 3 namerané hodnoty 33,65 dB

3.6. Verifikácia digitálnej kalibrácie FDDA

@100kHz a 21,39 dB @1MHz. Pri najvyšších hodnotách nebol na najnižších frekvenciách zaznamenaný žiaden zásadný rozdiel. Najvyššie hodnoty parametra PSRR boli po kalibrácii obvodu FDDA namerané na čipe č. 4, a to 56,68 dB @10kHz, 49,32 dB @100kHz a 26,05 dB @1MHz. Na základe uvedených simulácií bol pokles tohto parametra očakávaný.

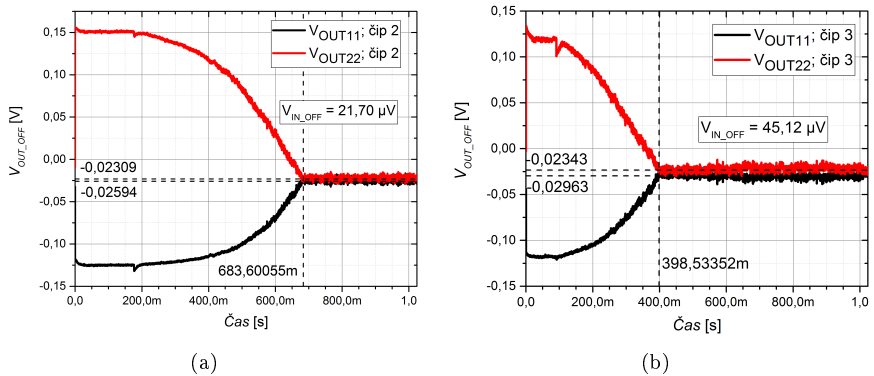


Obr. 3.27: Merané charakteristiky parametra CMRR prototypových čipov (a) a určenie jeho BC a WC (b) po kalibrácii obvodu FDDA.



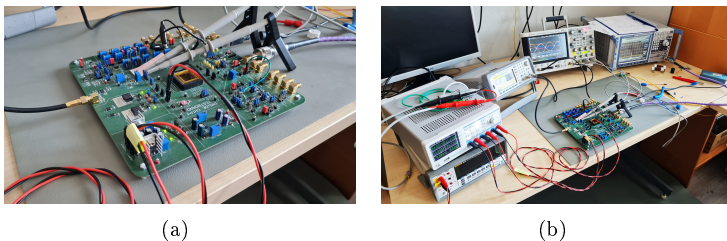
Obr. 3.28: Merané charakteristiky parametra PSRR prototypových čipov (a) a určenie jeho BC a WC (b) po kalibrácii obvodu FDDA.

Posledné merania predstavovali časové závislosti kalibračného procesu, resp. nulovanie výstupného napäťového offsetu V_{OUT_OFF} , prostredníctvom ktorých boli dopočítané dosiahnuté hodnoty vstupného napäťového offsetu V_{IN_OFF} každej vzorky. Tieto namerané časové závislosti sú znázornené na Obr. 3.29. Najnižšia hodnota V_{IN_OFF} bola v najlepšom prípade (a) určená na čipe č. 2, a to 21,70 μV . Najvyššia hodnota $V_{IN_OFF} = 45,12 \mu\text{V}$ reprezentujúca WC (b) bola zaznamenaná na čipe č. 3.



Obr. 3.29: Merané BC (a) a WC (b) nulovania V_{OUT_OFF} obvodu FDDA počas kalibračného procesu.

Na Obr. 3.30 je znázornená testovacia doska plošných spojov (DPS) (a) a meracie pracovisko (b) pre meranie parametrov obvodu FDDA. Vývoj uvedenej DPS od návrhu až po jej realizáciu bol taktiež súčasťou výskumu nášho oddelenia.



Obr. 3.30: Testovacia DPS (a) a meracie pracovisko (b) pre obvod FDDA.

3.6.3 Diskusia k dosiahnutým výsledkom

Porovnanie simulácií a meraní

Hodnoty smerodajného parametra A_{DC} frekvenčných charakteristík obvodu FDDA sa v rámci simulácií v daných hraničných prípadoch pohybovali nasledovne: pred kalibráciou sa v najlepších prípadoch nachádzali v rozmedzí 42,32–43,57 dB v závislosti od teplotného rozsahu od $-20\text{ }^{\circ}\text{C}$ do $85\text{ }^{\circ}\text{C}$. V najhorších prípadoch došlo v simuláciách z hľadiska hodnoty A_{DC} k jej značnému rozptylu, a to v rozsahu 3,26–6,60 dB,

čo bolo v rámci MC analýzy očakávané. Po kalibrácii zostali v rámci simulácií hodnoty A_{DC} v najlepších prípadoch prakticky totožné. Z hľadiska najhorších prípadov však došlo k výraznému zlepšeniu, keďže sa tieto hodnoty pohybovali v rozsahu 38,61–41,55 dB v uvedenom teplotnom intervale. Na simulačnej úrovni bola teda funkcia kalibračného podobvodu potvrdená. V rámci meraní boli po kalibrácii obvodu FDDA namerané hodnoty A_{DC} v rozsahu 42,02–42,76 dB, čomu v daných hraničných podmienkach (BC/WC) zodpovedali jednotlivé hodnoty parametrov: šírky pásiem zosilňovača a zosilnenia $BW = 5,73/5,84$ kHz a $GBW = 738,14/729,70$ kHz, amplitúdové rezervy $GM = 13,23/12,58$ dB a fázové rezervy $PM = 54,69/60,70^\circ$. Tieto hodnoty boli veľmi podobné a taktiež prakticky totožné s hodnotami pred kalibráciou. Ako bolo spomenuté v predošlej časti, príčinou tejto približnej rovnosti je dostatočne presný technologický proces výroby čipu, na základe ktorého bol pomocou späťoväzbových rezistorov správne naladený pracovný bod. Okrem toho je však dôležité konštatovať, že vplyv kalibračného podobvodu na frekvenčné vlastnosti obvodu FDDA je minimálny aj vďaka robustnému návrhu, ktorý bol realizovaný na základe modelovania vplyvu tohto podobvodu na obvod FDDA a teoretickým predpokladom pri návrhu D/A prevodníkov.

Z hľadiska parametra CMRR došlo v rámci simulácií po kalibrácii k miernemu zlepšeniu jeho hodnôt v najhorších prípadoch. Pre príklad, na frekvencii 1 kHz sa pri teplote 27 °C jeho hodnota zvýšila zo 41,78 dB na 46,52 dB a pri -20 °C z 35,36 dB na 41,31 dB. Pri teplote 85 °C len zanedbateľne zo 42,53 dB na 42,59 dB. Pri najlepších prípadoch parametra CMRR bol naopak odsimulovaný mierny pokles ich hodnôt, na rovnakej frekvencii 1 kHz konkrétne pri teplote 27 °C o 5,4 dB, pri -20 °C o 12,54 dB, čo predstavovalo najväčší pokles a pri 85 °C o 1,16 dB, čo naopak predstavovalo najmenší pokles. Meraním boli tieto odsimulované predpoklady potvrdené. V rámci najhorších prípadov došlo k veľmi miernemu zlepšeniu na význačných frekvenciách 1 kHz a 100 kHz z hodnôt 38,73 dB, 36,39 dB pred kalibráciou na hodnoty 38,90 dB a 39,36 dB po kalibrácii. Na frekvencii 1 MHz bolo v tomto prípade namerané výraznejšie zlepšenie z hodnoty 19,67 dB na 33,02 dB. Naopak, mierne zhoršenie parametra CMRR bolo odmerané v rámci najlepších prípadov po kalibrácii. Pri frekvencii napríklad 10 kHz bol nameraný pokles z hodnoty 55,95 dB na 52,03 dB. Tento jav je spôsobený prídavným hardvérom, ktorý po kompenzácii napäťového offsetu zostáva pripojený k hlavnému obvodu FDDA, čím mierne zvyšuje zosilnenie súhlasnej zložky užitočného signálu.

Z hľadiska parametra PSRR bolo v rámci simulácií zaznamenané značnejšie zníženie jeho absolútnych hodnôt ako v najlepších, tak aj v najhorších prípadoch. V poradí 27 °C, -20 °C a 85 °C bol na frekvencii 1 kHz v rámci najlepších prípadov odsimulovaný pokles z hodnôt 72,87 dB, 76,94 dB a 98,35 dB pred kalibráciou na hodnoty 42,89 dB, 62,53 dB a 83,16 dB po kalibrácii. V rámci najhorších prípadov parametra PSRR išlo o závažnejšie zníženie jeho absolútnych hodnôt, na frekvencii 1 kHz z 37,04 dB, 36,54 dB a 31,97 dB pred kalibráciou na hodnoty 17,45 dB, 12,38 dB a 27,88 dB po kalibrácii v rovnakom poradí teplôt. V rámci meraní bolo v tomto prípade taktiež zaznamenané zhoršenie tohto parametra, no najmä v jeho najhorších prípadoch. Z hľadiska najlepších prípadov nebola zaznamenaná výrazná zmena, keďže hodnoty na frekvenciách 10 kHz a 1 MHz boli rovné 56,12 dB, 25,06 dB pred kalibráciou a 56,68 dB a 26,05 dB po kalibrácii. Pri 100 kHz došlo k miernemu poklesu hodnoty z 51,88 dB na 49,32 dB. Pri spomínaných najhorších prípadoch však predpokladané zníženie absolútnej hodnoty parametra PSRR nebolo zaznamenané v tak značnej miere ako pri simuláciách. Na význačných frekvenciách hodnoty tohto parametra poklesli o 7,06 dB, 8,07 dB a 4,92 dB. Tento celkový pokles bol podobne ako pri parametri CMRR predpokladaný. Je spôsobený pripojením oboch D/A prevodníkov prakticky priamo do vstupného diferenciálneho páru obvodu FDDA, prostredníctvom ktorých boli vytvorené prídavné cesty z napájacieho napätia V_{DD} na jeho výstup.

Z hľadiska vstupného napäťového offsetu V_{IN_OFF} , ktorého kompenzácia bola podstatou tejto časti práce, bolo dosiahnuté enormné zlepšenie. V rámci simulácií boli vytvorené predpoklady správneho fungovania navrhnutého systému, nakoľko pri každej teplote bolo zaznamenané rádové zlepšenie hodnôt V_{IN_OFF} . Meraniami boli znovu tieto predpoklady potvrdené. Pred kalibráciou FDDA bola v najlepšom prípade nameraná hodnota $V_{IN_OFF} = -0,4416$ mV, v najhoršom -3,8471 mV. Po kalibrácii došlo k rádovému zlepšeniu oboch hodnôt, a to na hodnotu 21,70 μ V v najlepšom prípade a na hodnotu 45,12 μ V v najhoršom prípade.

Celkové porovnanie simulovaných a meraných výsledkov (pri teplote 27 °C) digitálnej kalibrácie obvodu FDDA je uvedené v Tab. 3.2. Na základe tohto porovnania je možné konštatovať, že všetky predpoklady získané zo simulovaných dát boli experimentálne potvrdené. Za cenu mierneho zhoršenia parametrov CMRR a PSRR, ktoré však výraznou mierou nevplyvalo na funkciu obvodu FDDA, okrem toho bez vplyvu kalibrácie na frekvenčné parametre ako sú A_{DC} , BW , GBW , PM a GM , bola predstavená metóda kompenzovania vstupného napäťového offsetu obvodu FDDA úspešne verifikovaná simuláciami a overená meraním vyrobených prototypových vzoriek čipov.

Tab. 3.2: Porovnanie výsledkov simulácií a meraní pri teplote 27 °C.

Parameter	Simulácia				Meranie				
	Pred kalibráciou		Po kalibrácii		Pred kalibráciou		Po kalibrácii		
	BC	WC	BC	WC	BC	WC	BC	WC	
Amplitúdová & Fázová	A_{DC} [dB]	43,57	6,60	43,93	41,55	43,86	42,10	42,76	42,02
	BW [kHz]	2,58	20,45	1,58	5,49	5,24	5,73	5,73	5,84
charakteristika	GBW [kHz]	738,65	42,28	484,42	1,39M*	772,86	764,03	738,14	729,70
	GM [dB]	19,13	42,57	19,92	23,87	11,47	12,12	13,23	12,58
	PM [°]	115,73	130,87	122,34	72,01	54,09	61,06	54,69	60,70
	@1 kHz	90,96	41,78	85,56	46,52	-	-	-	-
CMRR [dB]	@10 kHz	90,55	41,62	84,59	46,51	55,95	38,73	52,03	38,90
	@100 kHz	93,42	39,35	65,42	41,86	46,45	36,39	67,89	39,36
	@1 MHz	32,07	20,40	29,07	26,07	26,35	19,67	25,10	33,02
	@1 kHz	72,87	37,04	42,89	17,45	-	-	-	-
PSRR [dB]	@10 kHz	69,22	37,05	42,89	17,44	56,12	40,56	56,68	33,50
	@100 kHz	63,95	39,80	41,38	16,73	51,88	41,72	49,32	33,65
	@1 MHz	14,93	35,26	17,59	42,28	25,06	26,31	26,05	21,39
	V_{IN_OFF} [μ V]	32,81	-159,30m*	28,29n*	-15,51	-0,4416m*	-3,8471m*	21,70	45,12
V_{IN_OFF} (MC)	μ	-5,23 mV		μ	1,23 μ V				-
	σ	59,29 mV		σ	3,07 μ V				-

* Použitie uvedenej predpony sústavy SI.

Porovnanie výsledkov meraní s inými prácami

V rámci porovnania dosiahnutých nameraných výsledkov s inými prácami bolo potrebné stanoviť metriku (FOM, z angl. - *Figure Of Merit*), prostredníctvom ktorej by bolo možné číselne vyjadriť prínos uvedeného prístupu. Faktom je, že parametre kalibračného podobvodu na najvyššej úrovni návrhu, ako sú jeho plocha a spotreba energie, sú v zmysle celkového systému veľmi naviazané na hlavný kalibrovaný obvod, konkrétne na jeho plochu a vlastnú spotrebu. Preto boli stanovené dva parametre *FOM*, tzv. relatívny a absolútny. Pre relatívny parameter FOM_R a absolútny parameter FOM_A platia vzťahy:

$$FOM_R = c_R \cdot V_{IN_OFF} \cdot \frac{A_{CH}}{A_{OA}} \cdot \frac{P_{CH}}{P_{OA}}, \quad (3.20)$$

$$FOM_A = c_A \cdot V_{IN_OFF} \cdot A_{CH} P_{CH}, \quad (3.21)$$

keď c_R a c_A sú číselné škálovacie konštanty, V_{IN_OFF} je dosiahnutá hodnota reziduálneho vstupného napätového offsetu, A_{CH} , resp. A_{OA} je plocha kalibračného podobvodu, resp. kalibrovaného obvodu a P_{CH} , resp. P_{OA} je spotreba energie kalibračného podobvodu, resp. kalibrovaného obvodu. Parameter FOM_R kvantifikuje vzťah medzi jednotlivými hardvérmí a spotrebami kalibračného podobvodu a hlavného kalibrovaného obvodu, naopak FOM_A vypovedá iba o kalibračnom podobvode. Oba parametre samozrejme priamoúmerne ovplyvňuje dosiahnutá hodnota reziduálneho V_{IN_OFF} . Hodnoty jednotlivých škálovacích konštánt boli stanovené na $c_R = 10^9 \text{ V}^{-1}$ a $c_A = 10^{18} \text{ V}^{-1} \text{ m}^{-2} \text{ W}^{-1}$. V Tab. 3.3 je uvedené porovnanie vybraných parametrov dosiahnutých v rámci tejto práce s inými prácami publikovanými za posledné 4 roky.

Nakoľko väčšina autorov neuvádza plochu alebo spotrebu energie kalibračného podobvodu a kalibrovaného obvodu, parameter *FOM* bolo možné presne určiť okrem tejto práce iba v dvoch iných prácach. Čím menšia hodnota parametra *FOM* bola dosiahnutá (platí pre relatívny aj absolútny), tým je možné považovať prínos práce za vyšší. Napriek nízkemu počtu možností výpočtu *FOM* je z tabuľky možné pozorovať, že vo významnej väčšine prípadov táto práca dominuje z hľadiska návrhu NN obvodu s hodnotou $V_{DD} = 400 \text{ mV}$. V prípade práce [71], ktorá predstavuje návrh obvodu s rovnakým V_{DD} v 65nm CMOS technológii je nutné poukázať na počet zosilňovacích stupňov kalibrovaného OZ a zároveň zdroj výsledkov, ktorým sú simulácie. Z hľadiska ostatných prác je vždy možné nájsť parameter, ktorým táto práca oproti nim napreduje. Na základe tohto porovnania je možné na záver konštatovať, že táto práca vo svojej oblasti drží krok so svetovým trendom výskumu a prináša hodnotné vylepšenia. Vybrané časti v rámci návrhu, vyšetrenia nežiaduceho vplyvu kalibračného podobvodu na FDDA, výsledky simulácií a meraní boli autorom publikované v práci [DMC1].

Tab. 3.3: Celkové porovnanie dosiahnutých výsledkov s inými prácami.

	Táto práca		[65]	[66]	[67]	[68]	[69]	[70]	[71]
Rok	2024	2021	2021	2021	2020	2022	2023	2022	2021
Technológia	130	180	180	180	180	180	180	180	180
V_{DD} [V]	0,4	5	1,8/3,3	1,8	1,8	1,8	5	3,3	0,4
A_{OA} [10³ μm²]	126,22	44	–	–	4926	17	400	1206	8
A_{CH} [10³ μm²]	31,70	277,4	–	–	–	529	200	410	32,7
P_{OA} [μW]	23,11*	742	–	5,59	211	378	3750	406	0,0119
P_{CH} [μW]	4,37*	1925	–	–	–	–	750	–	–
V_{IN OFF} [μV]	45,12*	0,8	775	775	1,09	0,4	8	23	22
A_{DC} [dB]	42,02*	–	34,5	34,5	132	–	20	44	26
BW [kHz]	5,84*	–	0,352	0,352	2,6	–	1000	20	–
GBW [MHz]	0,730*	4,2	–	–	2,69	1,45	10	1,92	–
Počet stupňov	2	2	2	2	–	2	3	2	1
FOM_R	2143	13100	–	–	–	–	800	–	–
FOM_A	6,25	427,2	–	–	–	–	1200	–	–
Zdroj výsledkov	Meranie	Meranie	Simulácia	Meranie	Meranie	Meranie	Meranie	Meranie	Simulácia
Metóda	Digit.	CS + AZ	Analog.	CS	CS + AZ	Hybrid.	Digit. + CS	Analóg.	–

* Uvažovaný najhorší prípad v rámci daného parametra.

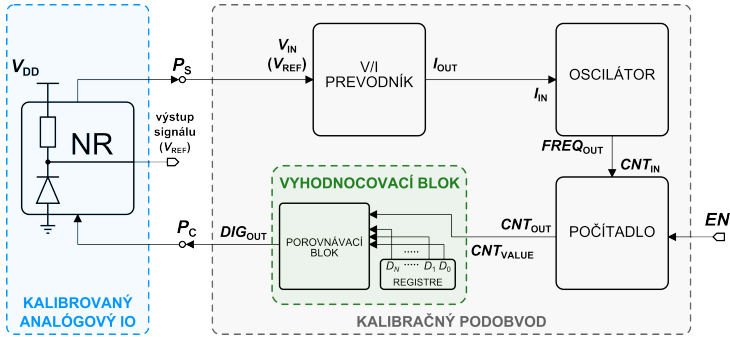
4 | Návrh kalibračného systému pre napäťovú referenciu

Táto kapitola sa zaoberá návrhom konceptu dynamického kalibračného systému, ktorý je schopný potlačiť vplyv okrajových podmienok výrobných technológií. V tomto prípade je digitálne kalibrovaná napäťová referencia (NR), ktorá vo všeobecnosti predstavuje jeden z najdôležitejších a nevyhnutne potrebných obvodových súčastí zložitejších integrovaných obvodov a systémov na čipe. Účelom skúmaného kalibračného podobvodu je potlačiť vplyv globálnej fluktuácie parametrov technologického procesu na čipe, ktorá bola analyzovaná prostredníctvom simulácie okrajových podmienok (PCA, z angl. *Process Corner Analysis*) v 130nm CMOS technológii. V aktuálnej časti dizertačnej práce je uvedený princíp činnosti spomínaného konceptu, návrh, resp. výber topológií jednotlivých blokov a verifikácia tohto konceptu prostredníctvom simulácií kalibračných cyklov v PCA. V rámci autoreferátu sú uvedené len vybrané časti tohto obsahu. Požadovaným parametrom NR je z hľadiska budúcej aplikácie konštantné výstupné referenčné napätie $V_{REF} = 96 \text{ mV}$ s presnosťou $\pm 1 \%$, pričom variácia parametrov výrobného procesu predstavuje $\pm 20 \%$. Napájacie napätie celého systému (vrátane NR) má hodnotu $V_{DD} = 1 \text{ V}$.

4.1 Princíp činnosti kalibračného systému

Na Obr. 4.1 je znázornený koncept digitálneho kalibračného systému pre NR. Princíp činnosti uvedeného konceptu spočíva v detegovaní okrajovej podmienky technológie, vo vyhodnotení jej vplyvu na degradovaný parameter a následnej kompenzácii hodnoty degradovaného parametra kalibračným podobvodom. Je zrejmé, že v tomto prípade je degradovaným parametrom výstupné napätie V_{REF} . Okrajová podmienka po výrobe vychýli typickú hodnotu napätia V_{REF} , pričom reálna hodnota bude privedená na snímací port kalibračného podobvodu. Na základe hodnoty napätia na porte P_S , napäťovo-prúdový prevodník nastaví na svojom výstupe konkrétnu hodnotu prúdu I_{OUT} . Na túto hodnotu analogicky zareaguje prúdom riadený oscilátor, ktorý podľa nej nastaví príslušnú hodnotu frekvencie na svojom výstupe. V prípade uvedeného konceptu signál EN aktivuje počítadlo na presne definovaný časový interval, počas ktorého napočíta do konkrétnej hodnoty. Po uplynutí trvania signálu EN je počítadlo deaktivované. Vyhodnocovací blok spracuje informáciu z počítadla a porovná ju s pred-

volenými hodnotami uloženými v pamäťových registroch. Na základe tohto porovnania bude na port P_C privedený digitálny signál realizujúci kompenzáciu napätia V_{REF} .



Obr. 4.1: Koncept digitálneho kalibračného systému NR.

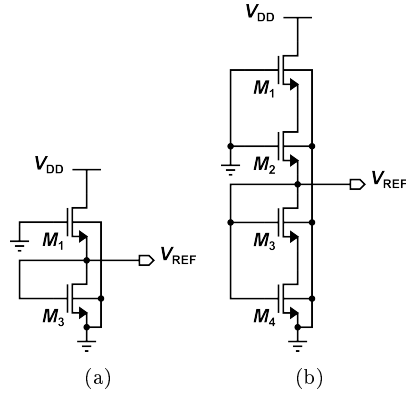
4.2 Návrh blokov kalibračného systému

4.2.1 Napätová referencia

Zapojenie NR vychádza z 2-tranzistorovej (2-T) topológie uvedenej na Obr. 4.2 v časti (a), kde označenie jednotlivých tranzistorov zodpovedá neskôr modifikovanej topológii [72, 73]. Charakteristickou vlastnosťou tejto topológie je priama úmernosť medzi výstupným napätím V_{REF} a rozdielom prahových napätí oboch tranzistorov M_3 a M_1 , označenom ako $V_{TH3} - V_{TH1}$. Platí [74]:

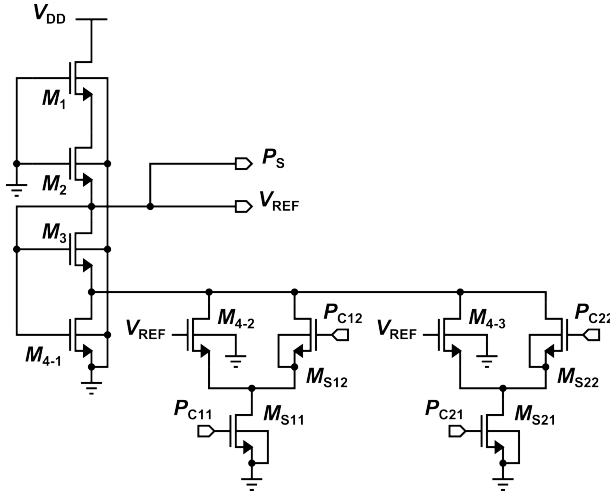
$$V_{REF} = \frac{n}{2}(V_{TH3} - V_{TH1}) + \frac{n}{2}V_T \ln \left(\frac{\left(\frac{W}{L}\right)_{M_1}}{\left(\frac{W}{L}\right)_{M_3}} \right), \quad (4.1)$$

kde n je smernicový faktor a W a L rozmery jednotlivých tranzistorov M_1 a M_3 . Do 2-T topológie NR boli pridané tranzistor M_2 , ktorým bola zvýšená absolútna hodnota parametra PSRR a tranzistor M_4 , prostredníctvom ktorého bude na základe vzťahu 4.1 kompenzovaná degradovaná hodnota napätia V_{REF} . Týmto spôsobom vznikla modifikovaná topológia NR, znázornená na Obr. 4.2 v časti (b).



Obr. 4.2: Štandardná 2-T (a) a modifikovaná 4-tranzistorová (4-T) topológia NR (b).

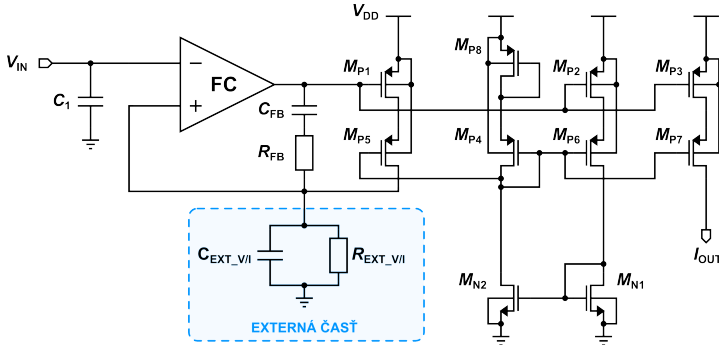
V rámci prispôsobenia NR pre kalibráciu bolo samozrejme potrebné vymedziť uzly pre kalibračné porty P_S a P_C . Z energetického hľadiska nepredstavuje V/I prevodník takmer žiadnu záťaž pre výstup NR, preto bol port P_S určený v rovnakom uzle ako V_{REF} (objasnené v časti 4.2.2 - V/I prevodník). Určenie portu P_C si vyžadovalo sofistikovanejší prístup, ktorý vychádza z nasledovnej úvahy. Veľkou výhodou topológie NR na Obr. 4.2(b) je, že pozostáva len z tranzistorov typu NMOS. Z toho vyplýva, že v rámci obvodu NR má zmysel analyzovať len tri okrajové podmienky, a to typickú (TT) a napríklad FF a SS. Zo vzťahu 4.1 vyplýva, že napätie V_{REF} je po modifikácii 2-T topológie citlivé na rozmery tranzistora M_4 . Simulačnou analýzou bolo overené, že z hľadiska tohto tranzistora je výhodné ladiť hodnotu V_{REF} prostredníctvom šírky jeho kanála W . Správnym návrhom tohto rozmeru je teda možné nastaviť $V_{REF} \approx 96 \text{ mV}$ v každej analyzovanej okrajovej podmienke. Z tohto dôvodu bol tranzistor M_4 rozdelený na tri časti: M_{4-1} , M_{4-2} a M_{4-3} tak, ako je to znázornené na Obr. 4.3. Tranzistor M_{4-1} je v obvode NR trvalo pripojený. Tranzistory M_{4-2} a M_{4-3} sú do obvodu pripojiteľné prostredníctvom prídavných spínačov M_{S11} , M_{S12} , M_{S21} a M_{S22} . Tieto spínače boli do obvodu pridané na definovanie elektrického potenciálu každému novému uzlu v každej konfigurácii NR (v prípade pripojenia aj odpojenia M_{4-2} alebo M_{4-3}). Rozmery M_{4-1} , M_{4-2} a M_{4-3} boli navrhnuté tak, aby ich postupným pripájaním do obvodu boli kompenzované jednotlivé okrajové podmienky technológie. Z tohto dôvodu hradlá spínačov predstavujú port P_C pozostávajúci z častí P_{C11} , P_{C12} , P_{C21} a P_{C22} , na ktoré bude kalibračným podobodom privedený konkrétny digitálny signál generovaný podľa detegovanej typickej, resp. okrajových podmienok.



Obr. 4.3: Topológia digitálne kalibrovanej NR.

4.2.2 V/I prevodník

Medzi primárne požiadavky na V/I prevodník v rámci kalibračného podobvodu patria vysoká presnosť a spoľahlivosť. Navrhnutá topológia použitého V/I prevodníka je znázornená na Obr. 4.4. Signál V_{REF} (v tomto prípade označený V_{IN}) vchádza do invertujúceho vstupu operačného zosilňovača, ktorý využíva topológiu zloženej kaskódy (FC, z angl. *Folded Cascode*). Dostatočná stabilita uvedenej slučky si vyžaduje veľké hodnoty rozmerov spätnoväzbových prvkov R_{FB} a C_{FB} , preto bolo potrebné medzi rozmermi týchto dvoch súčiastok a celkovou plochou obvodu zvoliť vhodný kompromis. Prostredníctvom skrížene zapojených kaskódových prúdových zrkadiel je z obvodu vyvedený primárny prúdový výstup I_{OUT} . V prípade tejto verzie návrhu kalibračného systému sú zatiaľ z uvedeného obvodu vyvedené externé súčiastky $R_{EXT_V/I}$ a $C_{EXT_V/I}$, ktoré sú takmer ideálne presné a spomínanému vplyvu okrajových podmienok na obvod nepodliehajú. Prostredníctvom týchto súčiastok je dosiahnutý maximálne presný prevod napätia V_{IN} na prúd I_{OUT} v rámci potrebného rozsahu.



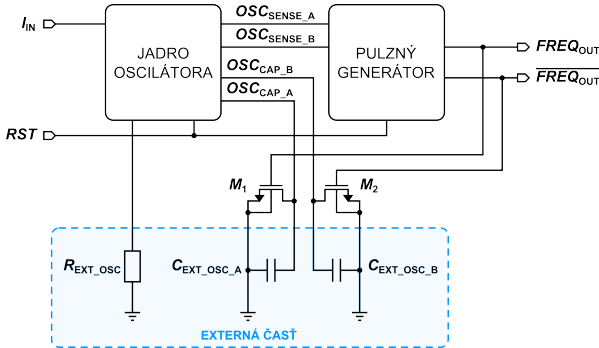
Obr. 4.4: Topológia V/I prevodníka.

Operačný zosilňovač využívajúci topológiu FC

Topológia FC OZ (uvedená v rámci dizertačnej práce) bola zvolená z dôvodu požiadavky na vysoké zosilnenie OZ (kvôli dostatočnej stabilite slučky spätnej väzby vo V/I prevodníku). Sú v nej využité kaskódové prúdové zrkadlá kvôli zvýšeniu absolútnej hodnoty parametra PSRR. Maximálny počet tranzistorov zapojených nad sebou v tejto topológii je štyri, čo je v súlade s obmedzeniami pre návrh NN obvodov. Z hľadiska typu vstupného diferenciálneho páru boli zvolené tranzistory PMOS, pretože ich pracovná oblasť leží v nízkych hodnotách V_{GS} .

4.2.3 Oscilátor

Navrhnutá topológia prúdom riadeného oscilátora použitá v rámci kalibračného podobvodu je znázornená na Obr. 4.5. Pozostáva z troch hlavných častí - jadra oscilátora, pulzného generátora a externej časti. Ak by uvedená topológia bola ako celok implementovaná na čipe, výstupný oscilačný signál $FREQ_{OUT}$ (a aj jeho negovaný tvar $\overline{FREQ_{OUT}}$) by bol funkciou závislou od vstupného prúdu I_{IN} a technologického rozptylu parametrov, vrátane kondenzátorov $C_{EXT_OSC_A}$ a $C_{EXT_OSC_B}$ a rezistora R_{EXT_OSC} . Aby tieto obvodové elementy nepodliehali danej fluktuácii, podobne ako pri V/I prevodníku sú v tomto návrhu uvažované ako externé presné súčiastky. Z tohto dôvodu je možné ďalej uvažovať, že výstupný signál $FREQ_{OUT}$ bude na čipe závislý len od vstupného prúdu I_{IN} a typickej, resp. okrajových podmienok technológie tranzistorov, čo je jedna z primárnych požiadaviek na tento obvod. Návrhy topológií jadra oscilátora a pulzného generátora spolu s ich princípmi činnosti sú uvedené a opísané v dizertačnej práci.



Obr. 4.5: Celková topológia oscilátora.

4.2.4 Počítadlo a vyhodnocovací blok

Počítadlo a celý vyhodnocovací blok vrátane pamäťových registrov boli v rámci testovania kalibračného cyklu navrhnuté ako funkčné bloky prostredníctvom jazyka na opis hardvéru (HDL, z angl. *Hardware Description Language*) Verilog, pričom samotný návrh je uvedený v dizertačnej práci. Tieto bloky si totiž nevyžadujú individuálny prístup ku každému obvodovému elementu a rovnakým spôsobom by boli implementované aj v prípade reálneho návrhu a výroby kalibračného systému NR, a to prostredníctvom HDL metodiky návrhu a následnej syntézy. Konkrétne číselné hodnoty, ktoré vyhodnocovací blok využíva, boli získané zo simulácií.

4.3 Verifikácia navrhnutého systému

4.3.1 Výsledky simulácií

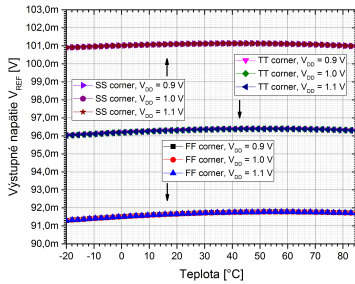
Parametre napäťovej referencie

Ako bolo spomenuté, topológia 4-T NR bola navrhnutá ako modifikovaná verzia 2-T zapojenia. V Tab. 4.1 sú zhrnuté dosiahnuté hodnoty kľúčových parametrov 4-T NR: maximálnej prúdovej spotreby I_{DD_MAX} , referenčného napätia pri izbovej teplote $V_{REF_27^\circ C}$, priemernej hodnoty referenčného napätia v závislosti od teploty V_{REF_AVG} , minimálnej (absolútnej) hodnoty parametra $PSRR_{MIN}$ a teplotného koeficientu TC. Hodnoty týchto parametrov sa líšia v závislosti od typickej (TT), resp. okrajových podmienok (FF a SS), no z hľadiska zmeny napájacieho napätia V_{DD} od 0,9 V do 1,1 V pri konkrétnej podmienke zotrvali konštantné.

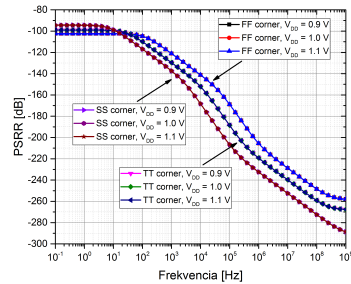
Tab. 4.1: Hodnoty parametrov 4-T NR.

Parameter	Hodnota pri danej podmienke		
	TT; $V_{DD} \pm 10\%$	FF; $V_{DD} \pm 10\%$	SS; $V_{DD} \pm 10\%$
I_{DD_MAX}	3,662 nA	11,51 nA	1,171 nA
$V_{REF_27^\circ C}$	96,34 mV	91,70 mV	101,1 mV
V_{REF_AVG}	96,29 mV	91,65 mV	101,1 mV
$PSRR_{MIN}$	98,99 dB	102,4 dB	94,45 dB
TC	37,36 ppm/ $^\circ C$	49,48 ppm/ $^\circ C$	21,74 ppm/ $^\circ C$

Na Obr. 4.6(a) je znázornená závislosť napätia V_{REF} od teploty a Obr. 4.6(b) znázorňuje priebeh parametra PSRR pre 4-T NR.



(a)



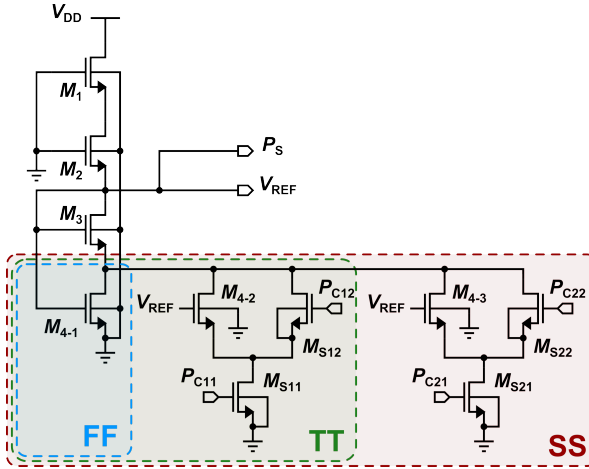
(b)

Obr. 4.6: Závislosť napätia V_{REF} od teploty (a) a priebeh parametra PSRR (b) 4-T NR.

4.3.2 Cyklus digitálnej kalibrácie NR

Kalibrovaný obvod

Na Obr. 4.7 je znázornený konceptuálny spôsob kompenzácie vplyvu okrajových podmienok na napätie V_{REF} . Vplyv podmienky FF je kompenzovaný odpojením (resp. nepripojením) oboch tranzistorov M_{4-2} aj M_{4-3} . Pre typickú podmienku TT je do obvodu spomedzi voliteľných tranzistorov pripojený len M_{4-2} . Kompenzácia vplyvu podmienky SS je realizovaná pripojením oboch tranzistorov M_{4-2} a M_{4-3} súčasne.



Obr. 4.7: Spôsob kompenzácie vplyvu okrajových podmienok technológie na parametre NR.

Pred začatím cyklu digitálnej kalibrácie predpokladáme, že sa NR nachádza v okrajovej podmienke FF. Tomuto stavu zodpovedá počiatočná digitálna funkcia privedená kalibračným podobvodom na port P_C , uvedená v Tab. 4.2.

Tab. 4.2: Počiatočná digitálna funkcia kalibračného podobvodu.

Spínač M_S	Logická hodnota
M_{S11} (port P_{C11})	0
M_{S12} (port P_{C12})	1
M_{S21} (port P_{C21})	0
M_{S22} (port P_{C22})	1

V Tab. 4.3 sú znázornené odsimulované parametre NR pred spustením kalibrácie. Pokiaľ bude obvod NR skutočne vyrobený v okrajovej podmienke FF, kalibračný podobvod vyhodnotí, že obvod je v poriadku a pripravený na použitie, pretože V_{REF} spĺňa požadované podmienky. Zvýraznené parametre sa stávajú pre obvod charakteristickými.

Tab. 4.3: Hodnoty parametrov NR pred spustením kalibrácie.

Parameter	Hodnota pri danej podmienke		
	TT; $V_{DD} \pm 10\%$	FF; $V_{DD} \pm 10\%$	SS; $V_{DD} \pm 10\%$
I_{DD_MAX}	3,196 nA	10, 2 nA	1,007 nA
$V_{REF_27^\circ C}$	100,4 mV	95, 49 mV	105,5 mV
V_{REF_AVG}	100,4 mV	95, 46 mV	105,5 mV
$PSRR_{MIN}$	98,75 dB	102, 2 dB	94,04 dB
TC	115,6 ppm/°C	118, 7 ppm/°C	104,8 ppm/°C

Pokiaľ kalibračný podobvod deteguje počiatočné napätie $V_{REF} \approx 100$ mV, z Tab. 4.3 je zrejmé, že daný obvod napätovej referencie bol vyrobený v typickej podmienke. V tomto prípade bude kalibračným podobvodom na port P_C privedená digitálna funkcia uvedená v Tab. 4.4, ktorá pripája tranzistor M_{4-2} .

Tab. 4.4: Digitálna funkcia pre typickú podmienku.

Spínač M_S	Logická hodnota
M_{S11} (port P_{C11})	1
M_{S12} (port P_{C12})	0
M_{S21} (port P_{C21})	0
M_{S22} (port P_{C22})	1

Simulované parametre kalibrovanej NR vyrobenej v TT podmienke sú uvedené v Tab. 4.5.

Tab. 4.5: Hodnoty parametrov NR v typickej podmienke.

Parameter	Hodnota pri podmienke TT; $V_{DD} \pm 10\%$
I_{DD_MAX}	3,715 nA
$V_{REF_27^\circ C}$	95,96 mV
V_{REF_AVG}	95,89 mV
$PSRR_{MIN}$	98,98 dB
TC	33,41 ppm/°C

Pokiaľ kalibračný podobvod na počiatku deteguje napätie $V_{REF} \approx 105$ mV, z Tab. 4.3 je zrejmé, že obvod NR bol vyrobený v okrajovej podmienke SS. V tom prípade kalibračný podobvod privedie na port P_C digitálnu funkciu uvedenú v Tab. 4.6, prostredníctvom ktorej budú do obvodu pripojené oba tranzistory M_{4-2} aj M_{4-3} .

Tab. 4.6: Digitálna funkcia kompenzácie vplyvu SS podmienky.

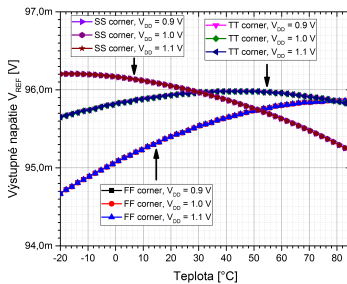
Spínač M_S	Logická hodnota
M_{S11} (port P_{C11})	1
M_{S12} (port P_{C12})	0
M_{S21} (port P_{C21})	1
M_{S22} (port P_{C22})	0

Simulované parametre kalibrovanej NR vyrobenej v SS podmienke sú uvedené v Tab. 4.7.

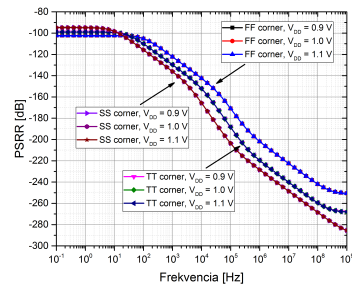
Tab. 4.7: Hodnoty parametrov NR po kompenzovaní vplyvu SS podmienky.

Parameter	Hodnota pri podmienke SS; $V_{DD} \pm 10\%$
I_{DD_MAX}	1,394 nA
$V_{REF_27^\circ C}$	96,0 mV
V_{REF_AVG}	95,87 mV
$PSRR_{MIN}$	98,83 dB
TC	98,46 ppm/ $^\circ C$

Na Obr. 4.8 je znázornená závislosť napätia V_{REF} od teploty (a) a priebeh parametra PSRR (b) po kalibrácii NR.



(a)



(b)

Obr. 4.8: Závislosť napätia V_{REF} od teploty (a) a priebeh parametra PSRR (b) po kalibrácii NR.

Kalibračný podobvod

Detekcia hodnoty referenčného napätia V_{REF} pred kalibráciou NR začína V/I prevodníkom, ktorý na svojom výstupe nastaví hodnotu jednosmerného prúdu I_{OUT} v závislosti od tohto napätia. Pri tomto obvode je potrebné brať do úvahy aj očakávané okrajové podmienky FNFP a SNFP. Z Tab. 4.8 vyplýva, že hodnota výstupného prúdu I_{OUT} sa v závislosti od podmienok PMOS tranzistorov (vzhľadom na konkrétnu podmienku NMOS tranzistorov) mení zanedbateľne.

Tab. 4.8: Výstupné prúdy V/I prevodníka v závislosti od napätia V_{REF} .

Očakávaná podmienka	V_{REF}	I_{OUT}
FF	95,5 mV	318,3 nA
FNFP	95,5 mV	318,3 nA
TT	100,5 mV	334,8 nA
SS	105,6 mV	351,7 nA
SNFP	105,6 mV	351,7 nA

Frekvencia $FREQ_{OUT}$ nastavená oscilátorom v závislosti od vstupného prúdu a príslušnej podmienky je uvedená v Tab. 4.9.

Tab. 4.9: Oscilačná frekvencia $FREQ_{OUT}$ v závislosti od vstupného prúdu I_{IN} .

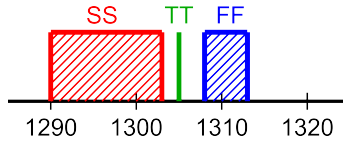
Očakávaná podmienka	I_{IN}	$FREQ_{OUT}$
FF	318,3 nA	872,1 kHz
FNFP	318,3 nA	875,5 kHz
TT	334,8 nA	870,1 kHz
SS	351,7 nA	860,3 kHz
SNFP	351,7 nA	868,9 kHz

Napočítaná hodnota na výstupe počítadla CNT_{OUT} počas pôsobenia aktivačného signálu EN s trvaním 1,5 ms v závislosti od oscilačnej frekvencie $FREQ_{OUT}$ (pri počítadle označenej ako CNT_{IN}) je uvedená v Tab. 4.10.

Tab. 4.10: Napočítaná hodnota počítadla v závislosti od CNT_{IN} .

Očakávaná podmienka	CNT_{IN}	CNT_{OUT}
FF	872,1 kHz	1308
FNSP	875,5 kHz	1313
TT	870,1 kHz	1305
SS	860,3 kHz	1290
SNFP	868,9 kHz	1303

Funkcia vyhodnocovacieho bloku je graficky interpretovaná na Obr. 4.9. Pokiaľ napočítaná hodnota $\in \langle 1290, 1303 \rangle$, na jeho výstupe bude nastavená digitálna funkcia z Tab. 4.6. Ak bude napočítaná hodnota rovná 1305, kalibračnou digitálnou funkciou bude digitálna funkcia z Tab. 4.4. Pokiaľ bude táto hodnota $\in \langle 1308, 1313 \rangle$, vyhodnocovací blok na svojom výstupe nastaví digitálnu funkciu z Tab. 4.2.



Obr. 4.9: Intervaly napočítaných hodnôt určujúce kalibračný proces.

4.3.3 Diskusia k dosiahnutým výsledkom

Uvedený koncept systému digitálnej kalibrácie NR je nutné zatiaľ chápať ako prvotný návrh. Na základe dosiahnutých výsledkov je však možné konštatovať, že uvedeným spôsobom digitálnej kalibrácie je možné zvýšiť robustnosť navrhovanej NR voči nežiaducemu vplyvu fluktuácie výrobných technológií, a teda má zmysel ďalej tento koncept rozvíjať. Okrem toho, z uvedených závislostí vyplýva, že výstupné napätie V_{REF} je nezávislé od štandardného rozptylu hodnoty napájacieho napätia V_{DD} . Tak tiež disponuje vysokou absolútnou hodnotou parametra PSRR. Postupným vývojom bude potrebné vyriešiť viaceré úskalia a obmedzenia tohto konceptuálneho spôsobu vyplývajúce z uvedenej realizácie.

Jeho funkciu v tejto fáze zabezpečuje najmä veľmi úzky okruh podmienok, ktoré musia byť splnené na to, aby fungoval správne. Prvým príkladom je obmedzenie detekcie okrajových podmienok - kalibračný podobvod dokáže detegovať, spracovať a vyhodnotiť len podmienky FastNMOS a SlowNMOS (vrátane typickej). Tento nedostatok by bolo možné vyriešiť analogickým návrhom NR pozostávajúcej iba z PMOS tranzistorov, ktorej kalibračný podobvod by naopak vedel detegovať obe podmienky FastPMOS a SlowPMOS. Iným príkladom je nízka citlivosť obvodov na ich vstupné veličiny, čo má za následok nízku hodnotu rozptylu ich výstupných parametrov (výstupný prúd z V/I prevodníka, výstupná oscilačná frekvencia, počítadlom napočítaná hodnota), na základe ktorých je vyhodnotená okrajová, resp. typická podmienka. Môže totiž dôjsť k nežiaducim javom, napríklad, že napočítaná hodnota vo výsledku nebude patriť žiadnej z podmienok, prípadne môže dôjsť k tzv. *maskovaniu* vplyvu okrajových podmienok. Pri oboch javoch by kalibračný podobvod nebol schopný vyhodnotiť daný počiatočný stav hlavného obvodu a následne realizovať jeho kalibráciu. Tento problém by bolo potrebné vyriešiť ďalšou analýzou obvodových možností, prostredníctvom ktorých by bolo možné spôsobiť vyšší rozptyl spomínaných smerodajných parametrov. Tretím hlavným nedostatkom je použitie externých súčiastok, ktorých funkciu by bolo potrebné relativizovať a následne dané súčiastky integrovať na čip.

Vybrané časti v rámci návrhu tohto konceptu a dosiahnutých výsledkov boli autorom publikované v prácach [DMZ2, DMZ3, DMK1]. Ďalšia práca bude zameraná na spomenutý vývoj uvedeného konceptu, riešenie jeho nedostatkov a obmedzení. Finálne overenie funkcie takto kalibrovanej NR bude realizované implementáciou a následne experimentálnou verifikáciou. Takto navrhnuté NR môžu v kombinácii okrem iného slúžiť ako tzv. univerzálny *corner detektor*, ktorý by pre návrhárov AIO znamenal ďalšiu možnosť zvýšenia robustnosti AIO voči vplyvu rozptylu parametrov výrobných technológií.

Zhrnutie dosiahnutých výsledkov a prínosov

Napriek enormnému technickému pokroku dnešnej doby na báze digitálnych technológií majú analógové integrované obvody stále svoje nezastupiteľné miesto z hľadiska funkcie rôznych systémov na čipe. Technológie, v ktorých sú tieto obvody vyrábané sú od istej vývojevej etapy určené najmä pre výrobu digitálnych integrovaných obvodov. Výsledky tejto dizertačnej práce preukázali, že aj napriek tejto skutočnosti je možné dosiahnuť potrebnú odolnosť analógových IO voči vplyvu fluktuácie výrobného procesu prostredníctvom dodatočnej digitálnej kalibrácie. Tento prístup je perspektívnym spôsobom zvýšenia robustnosti a spoľahlivosti analógových IO vyrábaných v pokročilých technológiách. V dizertačnej práci boli vyšetované najmä vlastnosti a funkcia digitálneho samokalibračného systému. Výsledky meraní parametrov prototypových čipových vzoriek boli v korelácii s predpokladmi získanými zo simulácií. Predstavený návrh je vhodný pre ďalšie aplikácie v nízkonapäťových analógových IO. Okrem spomenutého bol v práci predstavený koncept kalibrovannej napäťovej referencie, pomocou ktorého bol kompenzovaný vplyv okrajových podmienok na výsledné referenčné napätie. Tento koncept si v budúcnosti vyžaduje ďalší vývoj, avšak bolo zistené, že návrh detektora okrajových podmienok na tomto princípe by bol funkčný a efektívny.

Prínosy tejto dizertačnej práce pre ďalší výskum a vývoj zvyšovania robustnosti analógových integrovaných obvodov prostredníctvom digitálnej kalibrácie sú nasledovné:

- Najvýznamnejším prínosom je vylepšenie návrhu, implementácia a následné experimentálne overenie funkcie kalibračného algoritmu, ktorý bol plne integrovaný ako súčasť samokalibračného systému pracujúceho s napájacím napätím 400 mV v 130nm CMOS technológii. Tento samokalibračný systém bol navrhnutý pre kompenzáciu vstupného napäťového offsetu, ktorá je vo všeobecnosti dôležitá pre správnu funkciu operačných zosilňovačov. Kalibráciou bolo napriek miernemu zhoršeniu parametrov CMRR a PSRR, avšak prakticky bez vplyvu na iné frekvenčné parametre, dosiahnuté rádové zlepšenie hodnôt vstupného napäťového offsetu operačného zosilňovača pri každom meraní prototypom čipu.
- Z hľadiska minimalizovania nežiaduceho vplyvu kalibračného podobvodu na operačný zosilňovač bola vykonaná podrobná analýza ich vzájomného pripojenia do jedného systému prostredníctvom modelovania danej situácie na tranzistorovej úrovni. V rámci modelov boli uvažované všetky nezávislé parazitné veličiny významných tranzistorov, pričom bola analyzovaná zmena výstupnej impedancie vstupného zosilňovacieho stupňa.

- Modelovaním kalibrovaného obvodu prostredníctvom Nortonovho prúdového a Theveninovho napätového zdroja bol symbolickou simuláciou odvodený špecifický vzťah, ktorý opisuje vplyv malosignálového výstupného odporu na jeho nízkofrekvenčné zosilnenie pri použití zapojenia s uzavretou slučkou spätnej väzby. Tento vzťah je vhodné využiť práve pri návrhu nízkonapätových OZ, ktoré nedisponujú dostatočne vysokou hodnotou tohto zosilnenia a zároveň je úroveň spomínaného výstupného odporu zvýšená.
- Pre správne overenie analyzovaných parametrov kalibrovaného obvodu pred a po kalibrácii boli navrhnuté rôzne špecifické konfigurácie pre ich simulovanie, v niektorých prípadoch (pri parametroch CMRR a PSRR) s prihliadnutím na zvýšenie efektivity simulácií.
- Práca ponúka obsiahle porovnanie dosiahnutých výsledkov s inými prácami v oblasti kalibrácie analógových integrovaných obvodov nie staršími ako 4 roky. Pre relevantnosť tohto porovnania bola navrhnutá metrika, prostredníctvom ktorej bolo možné preukázať prínos práce. Pokiaľ z istých dôvodov nebolo možné navrhovanú metriku použiť, v rámci porovnania bolo možné oprieť sa o jednotlivé konkrétne parametre súvisiace s kalibráciou analógových integrovaných obvodov ako sú napájacie napätie, výrobná technológia, plocha a spotreba energie samotného kalibrovaného obvodu a kalibračného podobvodu, zdroj výsledkov a metóda kalibrácie.
- Ďalším prínosom práce je koncept digitálne samokalibrovanej napätovej referencie. Tento konceptuálny návrh spočíva v spracovaní typickej, resp. okrajových podmienok výrobného technologického procesu, na základe ktorého je kompenzované referenčné napätie. Prínos predstavenej myšlienky spočíva v nepriamom potlačení vplyvu variácií výrobných parametrov. Využitím uvedeného prístupu pre návrhu detektora okrajovej podmienky bude možné vhodne kalibrovať ostatné obvody na čípe, čím sa zvýši ich celková robustnosť a spoľahlivosť.
- V neposlednom rade práca prináša aktuálny podrobný prehľad a vyhodnotenie kompenzačných techník a kalibračných metód pre analógové IO. Komplexné porovnanie parametrov charakterizujúcich tieto techniky a metódy (ako sú ich charakter, funkcia, možnosti spracovania signálu, a pod.) môže byť nápomocné pri výbere kompenzačnej techniky, resp. kalibračnej metódy vzhľadom na špecifickú aplikáciu.

Záver

Jadro tejto dizertačnej práce tvorí súhrnný návrh digitálneho samokalibrovania vstupného napäťového ofsetu operačného zosilňovača. Na základe dosiahnutých výsledkov v tejto oblasti na našom oddelení bolo navrhnuté vylepšenie uvedenej metódy spočívajúce vo viacerých spomínaných bodoch. Po uvedení princípu činnosti tohto samokalibračného algoritmu boli navrhnuté, resp. vybrané vhodné topológie prídavných obvodov. Najväčšia pozornosť bola venovaná návrhu D/A prevodníkov, pretože ich výstup je priamo pripojený ku kalibrovanému obvodu. V tejto časti práce bol opísaný princíp ich návrhu a následne popis ich činnosti v rámci kalibračného podobvodu. V nasledujúcej časti bolo realizované modelovanie vplyvu kalibračného podobvodu na výstupnú impedanciu vstupného zosilňovacieho stupňa kalibrovaného operačného zosilňovača. Ďalšia časť práce bola stručne venovaná plošnej analýze topografie celého systému na čipe. Záverečná časť tejto kapitoly sa venovala verifikácii navrhnutého systému. Na začiatok bolo potrebné vytvoriť konfigurácie pre simulovanie vybraných parametrov obvodu pred a po kalibrácii. Výsledky simulácií a meraní boli diskutované v závere kapitoly, kde bolo uvedené aj ich vzájomné porovnanie. Následne bolo predstavené porovnanie dosiahnutých výsledkov tejto práce s inými aktuálnymi prácami. V tomto prípade je na mieste konštatovať, že oproti iným prácam, spôsob digitálnej kalibrácie navrhnutý v tejto práci disponuje viacerými vylepšeniami.

Posledná kapitola bola venovaná návrhu konceptu kalibračného systému pre napäťovú referenciu. Tento koncept spočíva v modifikácii známej 2-tranzistorovej topológie napäťovej referencie, ktorou bolo zároveň dosiahnuté zlepšenie parametra PSRR. Kritický tranzistor, od ktorého šírky bolo referenčné napätie najviac závislé, bol rozdelený na tri časti, pričom každá časť slúžila na kompenzáciu jednej okrajovej, resp. typickej podmienky výroby. Keďže napäťová referencia pozostávala výhradne z tranzistorov typu NMOS, bolo postačujúce uvažovať len podmienky, ktoré sa týkajú tohoto typu tranzistora. V ďalšej časti kapitoly bol uvedený návrh blokov jednotlivých obvodov kalibračného podobvodu. V rámci verifikácie navrhnutého systému boli odsimulované vlastnosti jednotlivých obvodov s použitím externých súčiastok (v rámci tohto konceptu). Nasledujúca časť opisuje cyklus tejto kalibračnej metódy, pričom dosiahnuté výsledky boli diskutované v úplnom závere tejto kapitoly. Z hľadiska reálnej implementácie mal tento koncept viaceré obmedzenia, ktoré by bolo potrebné v rámci ďalšieho vývoja vyriešiť. Dôležité je však konštatovanie, že na základe tohto princípu by bolo možné spoľahlivo detegovať typickú, resp. okrajovú podmienku, v ktorej bol daný čip vyrobený.

Literatúra

- [1] B. Razavi, *Design of Analog CMOS Integrated Circuits*. McGraw-Hill, 1st ed., 2001. ISBN 0-07-052903-5.
- [2] K. R. Laker – W. M. C. Sansen, *Design of Analog Integrated Circuits and Systems*. McGraw-Hill, 1st ed., 1994. ISBN 0-07-113458-1.
- [3] R. J. Baker – H. W. Li – D. E. Boyce, *Circuit Design, Layout, and Simulation*. Wiley, 1st ed., 1997. ISBN 0-7803-3416-7.
- [4] T. C. Carusone – D. Johns – K. Martin, *Analog Integrated Circuit Design*. Wiley, 2nd ed., 2013. ISBN 978-118-09233-0.
- [5] U. Schaper – C. Linnenbank, “Comparison of Distance Mismatch and Pair Matching of CMOS Devices,” in *ESSCIRC 2004 - 29th European Solid-State Circuits Conference (IEEE Cat. No.03EX705)*, pp. 703–705, 2003. DOI 10.1109/ESSCIRC.2003.1257232.
- [6] N. D. Arora – J. R. Hauser – D. J. Roulston, “Electron and Hole Mobilities in Silicon as a Function of Concentration and Temperature,” *IEEE Transactions on Electron Devices*, vol. 29, no. 2, pp. 292–295, 1982. DOI 10.1109/T-ED.1982.20698.
- [7] Guruprasad – K. Shama, “Design and Verification of Analog Integrated Circuits Using Free or Open Source EDA Tools,” in *2019 International Conference on Communication and Electronics Systems (ICCES)*, pp. 1–6, 2019. DOI 10.1109/ICCES45898.2019.9002123.
- [8] H. G. Bakeer, et. al., “Analog, Digital and Mixed-Signal Design Flows,” in *2007 2nd International Design and Test Workshop*, pp. 247–252, 2007. DOI 10.1109/IDT.2007.4437470.
- [9] M. Shoniker, et. al., “Minimizing the Number of Process Corner Simulations during Design Verification,” in *2015 Design, Automation & Test in Europe Conference & Exhibition (DATE)*, pp. 289–292, 2015. DOI 10.7873/DATE.2015.0970.
- [10] P. Jaspers, *The gm/ID Methodology, A Sizing Tool for Low-voltage Analog CMOS Circuits*. Boston, MA: Springer, 1st ed., 2010. ISBN 978-0-387-47100-6.
- [11] D. J. Comer – D.T. Comer, “Operation of Analog MOS Circuits in the Weak or Moderate Inversion Region,” *IEEE Transactions on Education*, vol. 47, no. 4, pp. 430–435, 2004. DOI 10.1109/TE.2004.825537.
- [12] Q. Xie – G. Shi – Y. Ye, “A gm/ID Sizing Method for High-Speed Multi-Stage Operational Amplifiers with Feedforward-Only Compensation,” in *SMACD / PRIME 2021; International Conference on SMACD and 16th Conference on PRIME*, pp. 1–4, 2021.

- [13] S. L. Pinjare, et. al., “A gm/Id Based Methodology for Designing Common Source Amplifier,” in *2018 2nd International Conference on Micro-Electronics and Telecommunication Engineering (ICMETE)*, pp. 304–307, 2018. DOI 10.1109/ICMETE.2018.00073.
- [14] B. Hesham – E.-S. Hasaneen – H. F. A. Hamed, “Design Procedure for Two-Stage CMOS Opamp Using gm/ID Design Methodology in 16 nm FinFET Technology,” in *2019 31st International Conference on Microelectronics (ICM)*, pp. 325–329, 2019. DOI 10.1109/ICM48031.2019.9021511.
- [15] B. J. Blalock – P. E. Allen, “A Low-Voltage, Bulk-Driven MOSFET Current Mirror for CMOS Technology,” in *Proceedings of ISCAS’95 - International Symposium on Circuits and Systems*, vol. 3, pp. 1972–1975, 1995. DOI 10.1109/IS-CAS.1995.523807.
- [16] S. S. Rajput – S. S. Jamuar, “Low Voltage Analog Circuit Design Techniques,” *IEEE Circuits and Systems Magazine*, vol. 2, no. 1, pp. 24–42, 2002. DOI 10.1109/MCAS.2002.999703.
- [17] M. Rakús – V. Stopjaková – D. Arbet, , “Comparison of Gate-Driven and Bulk-Driven Current Mirror Topologies,” in *2016 IEEE 19th International Symposium on Design and Diagnostics of Electronic Circuits Systems (DDECS)*, pp. 1–4, 2016. DOI 10.1109/DDECS.2016.7482457.
- [18] D. Arbet, et. al., “Two-Stage Bulk-Driven Variable Gain Amplifier for Low-Voltage Applications,” in *2018 IEEE 21st International Symposium on Design and Diagnostics of Electronic Circuits & Systems (DDECS)*, pp. 45–50, 2018. DOI 10.1109/D-DECS.2018.00015.
- [19] M. Javed – R. Gupta – S. Sharma, “Bulk-Driven Inverter Configuration and its Application for Implementing Ring Oscillator,” in *2023 IEEE International Students’ Conference on Electrical, Electronics and Computer Science (SCEECS)*, pp. 1–8, 2023. DOI 10.1109/SCEECS57921.2023.10063005.
- [20] K. Tungwachira – S. Thanapithak, “A Bulk-Driven Lowpass Filter for EEG Signal,” in *2020 6th International Conference on Engineering, Applied Sciences and Technology (ICEAST)*, pp. 1–4, 2020. DOI 10.1109/ICEAST50382.2020.9165367.
- [21] V. Kalenteridis, et. al., “A CMOS VCO Ring Oscillator Suitable for Wide Supply Range Applications,” in *2023 12th International Conference on Modern Circuits and Systems Technologies (MOCAST)*, pp. 1–4, 2023. DOI 10.1109/MOCAST57943.2023.10176444.
- [22] Y. Ren, et. al., “A 1500 mA Load Current LDO with Wide Power Supply Range in Lithium-Ion Battery,” in *2018 13th IEEE Conference on Industrial Electronics and*

- Applications (ICIEA)*, pp. 2141–2144, 2018. DOI 10.1109/ICIEA.2018.8398064.
- [23] H. Qiao – Ch. Zhan – Y. Chen, “A -40 °C to 140 °C Picowatt CMOS Voltage Reference With 0.25-V Power Supply,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 68, no. 9, pp. 3118–3122, 2021. DOI 10.1109/TC-SII.2021.3088157.
- [24] D. Osmanović, et. al., “Design of a Tunable Temperature Coefficient Voltage Reference with Low-Dropout Voltage Regulator in 180-nm CMOS Technology,” in *2020 43rd International Convention on Information, Communication and Electronic Technology (MIPRO)*, pp. 93–98, 2020. DOI 10.23919/MIPRO48935.2020.9245163.
- [25] M. Hirano – N. Tsukiji – H. Kobayashi, “Simple Reference Current Source Insensitive to Power Supply Voltage Variation - Improved Minoru Nagata Current Source,” in *2016 13th IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT)*, pp. 87–89, 2016. DOI 10.1109/ICSICT.2016.7998846.
- [26] Ch. Venezia – A. Rizzo – S. Pennisi, “15 nA CMOS Analog Voltage Buffer Insensitive to PVT Variations,” in *2023 18th Conference on Ph.D Research in Microelectronics and Electronics (PRIME)*, pp. 73–76, 2023. DOI 10.1109/P-RIME58259.2023.10161803.
- [27] J. Lienig – J. Scheible, *Fundamentals of Layout Design for Electronic Circuits*. Springer Nature, 1st ed., 2020. ISBN 978-3030392833.
- [28] M. J. M. Pelgrom – A. C. J. Duinmaijer – A. P. G. Welbers, “Matching Properties of MOS Transistors,” *IEEE Journal of Solid-State Circuits*, vol. 24, no. 5, pp. 1433–1439, 1989. DOI 10.1109/JSSC.1989.572629.
- [29] K. Okada – H. Onodera – K. Tamaru, “Layout Dependent Matching Analysis of CMOS Circuits,” *Analog Integrated Circuits and Signal Processing*, vol. 25, pp. 309–318, 12 2000. DOI 10.1023/A:1008386116423.
- [30] M. Gregoire, et. al., “Gate Shadowing Effect on Ni(Pt)Si Abnormal Diffusion for sub-45nm Technologies,” *Microelectronic Engineering*, vol. 88, no. 5, pp. 548–552, 2011. DOI 10.1016/j.mee.2010.07.017.
- [31] K. Yoneda – M. Niwayama, “The Drain Current Asymmetry of 130nm MOS-FETs Due to Extension Implant Shadowing Originated by Mechanical Angle Error in High Current Implanter,” in *Extended Abstracts of the Third International Workshop on Junction Technology, 2002. IWJT.*, pp. 19–22, 2002. DOI 10.1109/IWJT.2002.1225190.
- [32] A. K. Sharma, et. al., “Common-Centroid Layouts for Analog Circuits: Advantages and Limitations,” in *2021 Design, Automation & Test in Europe Conference & Exhibition (DATE)*, pp. 1224–1229, 2021. DOI 10.23919/DATE51398.2021.9474244.

- [33] M. Pastre – M. Kayal, *Methodology for the Digital Calibration of Analog Circuits and Systems*. Springer, 01 2006. ISBN 978-1-4020-4252-2, DOI 10.1007/1-4020-4253-1.
- [34] X. Wan, et. al., “A Simple and Efficient Fuse-Trimming Circuit for Analog Design,” in *2020 IEEE 15th International Conference on Solid-State Integrated Circuit Technology (ICSICT)*, pp. 1–3, 2020. DOI 10.1109/ICSICT49897.2020.9278016.
- [35] S. T. Wing – W. K. Chi, “Tutorial on Resistor Trimming,” *Solid State Electronics Letters*, vol. 3, pp. 11–18, 2021. DOI 10.1016/j.ssel.2021.12.004.
- [36] Y.-H. Cheng – Ch. E. Kendrick, “Failure Analysis and Optimization of Metal Fuses for Post Package Trimming,” in *2007 IEEE International Reliability Physics Symposium Proceedings. 45th Annual*, pp. 616–617, 2007. DOI 10.1109/RELPHY.2007.369978.
- [37] H.-K. Cha, et. al., “A 32-KB Standard CMOS Antifuse One-Time Programmable ROM Embedded in a 16-bit Microcontroller,” *IEEE Journal of Solid-State Circuits*, vol. 41, no. 9, pp. 2115–2124, 2006. DOI 10.1109/JSSC.2006.880603.
- [38] H.-K. Cha – J. Kim – K. Lee, “A High-Density 64k-Bit One-Time Programmable ROM Array with 3-Transistor Cell Standard CMOS Gate-Oxide Antifuse,” *IEEE J Semiconductor Technol Sci*, vol. 4, pp. 106–109, 01 2004.
- [39] L. Tóth – Y. Tsividis, “Generalized Chopper Stabilization,” in *ISCAS 2001. The 2001 IEEE International Symposium on Circuits and Systems (Cat. No.01CH37196)*, vol. 1, pp. 540–543, 2001. DOI 10.1109/ISCAS.2001.921912.
- [40] L. Tóth – Y. P. Tsividis, “Generalization of the Principle of Chopper Stabilization,” *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, vol. 50, no. 8, pp. 975–983, 2003. DOI 10.1109/TCSI.2003.815188.
- [41] H. Yahyatabar, et. al., “A 2.5V Supply Low Noise CMOS Amplifier Using Noise Reduction Technique of Chopper Stabilization,” in *2011 9th IEEE International Conference on ASIC*, pp. 828–833, 2011. DOI 10.1109/ASICON.2011.6157333.
- [42] P. Godoy – J. L. Dawson, “Chopper Stabilization of Analog Multipliers, Variable Gain Amplifiers, and Mixers,” *IEEE Journal of Solid-State Circuits*, vol. 43, no. 10, pp. 2311–2321, 2008. DOI 10.1109/JSSC.2008.2004328.
- [43] N. Y. Sutri, et. al., “Low-Noise, Low-Offset Modulator Demodulator Circuit for Chopper Stabilization Technique in CMOS-MEMS Sensor Applications,” in *2014 5th International Conference on Intelligent and Advanced Systems (ICIAS)*, pp. 1–5, 2014. DOI 10.1109/ICIAS.2014.6869473.
- [44] A. Uma – C. SelvaGangai – P. Kalpana, “Design of Chopper Stabilized Preamplifier for ECG Monitoring System,” in *2018 4th International Conference on De-*

- vices, *Circuits and Systems (ICDCS)*, pp. 126–129, 2018. DOI 10.1109/ICDCSyst.2018.8605168.
- [45] F. Moulahcene – I. Benacer – A. Merazga, “Chopper-Stabilized Fully Differential Amplifier for Portable ECG Monitoring Systems Using 90 nm Technology,” in *2021 International Conference on Electrical, Computer and Energy Technologies (ICECET)*, pp. 1–6, 2021. DOI 10.1109/ICECET52533.2021.9698592.
- [46] C.C. Enz – G.C. Temes, “Circuit Techniques for Reducing the Effects of Op-Amp Imperfections: Autozeroing, Correlated Double Sampling, and Chopper Stabilization,” *Proceedings of the IEEE*, vol. 84, no. 11, pp. 1584–1614, 1996. DOI 10.1109/5.542410.
- [47] V. Raghuv eer – K. Balasubramanian – S. Sudhakar, “A 2 μ V Low Offset, 130 dB High Gain Continuous Auto Zero Operational Amplifier,” in *2017 International Conference on Communication and Signal Processing (ICCSP)*, pp. 1715–1718, 2017. DOI 10.1109/ICCSP.2017.8286685.
- [48] T. Rooijers – J. H. Huijsing – K. A. A. Makinwa, “An Auto-Zero Stabilized Voltage Buffer with a Trimmed Input Current of 0.2pA,” in *ESSCIRC 2019 - IEEE 45th European Solid State Circuits Conference (ESSCIRC)*, pp. 257–260, 2019. DOI 10.1109/ESSCIRC.2019.8902895.
- [49] A. Dago, et. al., “A Novel Common-Gate Comparator with Auto-Zeroing Offset Cancellation,” in *2022 17th Conference on Ph.D Research in Microelectronics and Electronics (PRIME)*, pp. 81–84, 2022. DOI 10.1109/PRIME55000.2022.9816755.
- [50] R. K. Tiwari – I. Saini, “Design of a Low-Level Offset Op Amp using Ping Pong Auto Zeroing Architecture,” in *2021 First International Conference on Advances in Computing and Future Communication Technologies (ICACFCT)*, pp. 263–268, 2021. DOI 10.1109/ICACFCT53978.2021.9837368.
- [51] Y. Mao, et. al., “A dB-Linear Switched-Resistor CMOS Programmable Gain Amplifier with DC Offset Cancellation,” in *2017 International Conference on Electron Devices and Solid-State Circuits (EDSSC)*, pp. 1–2, 2017. DOI 10.1109/EDSSC.2017.8126420.
- [52] E. Yeşil – E. Zencir, “Power-Up Stable CMOS DC Offset Cancellation Circuit for Programmable Gain Lowpass Filters,” August 2022. DOI 10.21203/rs.3.rs-1961036/v1.
- [53] F. Ataei – M. Yavari, “A Wideband Dual-Mode VCO with Analog and Digital Automatic Amplitude Control Circuitry,” in *2011 19th Iranian Conference on Electrical Engineering*, pp. 1–6, 2011.
- [54] M.-Y. Kim – H. Lee – Ch. Kim, “PVT Variation Tolerant Current Source

- With On-Chip Digital Self-Calibration,” *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 20, no. 4, pp. 737–741, 2012. DOI 10.1109/TVLSI.2011.2109971.
- [55] S. Umemoto, et. al., “The Novel Correction Technique for PVT Variation of CMOS Operational Amplifier Using Digital Assist,” in *2022 37th International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC)*, pp. 493–496, 2022. DOI 10.1109/ITC-CSCC55581.2022.9895038.
- [56] K. O. Ragab – H. Mostafa – A. Eladawy, “Digital Calibration for SAR-CD TDC,” in *2020 9th International Conference on Modern Circuits and Systems Technologies (MOCASST)*, pp. 1–4, 2020. DOI 10.1109/MOCASST49295.2020.9200268.
- [57] Y. Guo, et. al., “A PVT Compensated Ring VCO with FVC-Assisted Digital Background Calibration,” in *2019 IEEE Asia-Pacific Microwave Conference (APMC)*, pp. 48–50, 2019. DOI 10.1109/APMC46564.2019.9038314.
- [58] M. Šovčík, et. al., “Digital Methods of Calibration for Analog Integrated Circuits in Nanotechnologies,” in *2017 15th International Conference on Emerging eLearning Technologies and Applications (ICETA)*, pp. 1–6, 2017. DOI 10.1109/ICETA.2017.8102529.
- [59] M. Šovčík, “Adverse Effects of Digital Calibration Hardware on Low-Voltage Operational Amplifiers,” in *2018 28th International Conference Radioelektronika (RADIOELEKTRONIKA)*, pp. 1–4, 2018. DOI 10.1109/RADIOELEK.2018.8376348.
- [60] M. Šovčík, et. al., “Digital Calibration of Operational Amplifiers and Influence of Calibration Circuitry,” in *2018 International Conference on Applied Electronics (AE)*, pp. 1–6, 2018. DOI 10.23919/AE.2018.8501432.
- [61] M. Šovčík, et. al., “Digital Calibration of Low-Voltage and Low-Power Analog ICs,” in *2018 16th International Conference on Emerging eLearning Technologies and Applications (ICETA)*, pp. 505–510, 2018. DOI 10.1109/ICETA.2018.8572047.
- [62] M. Šovčík, et. al., “On-Chip Digital Calibration of Low-Voltage Analog ICs in Nanotechnologies,” in *2019 17th International Conference on Emerging eLearning Technologies and Applications (ICETA)*, pp. 733–738, 2019. DOI 10.1109/ICETA48886.2019.9040131.
- [63] M. Šovčík, et. al., “Autonomous On-Chip Digital Calibration for Analog ICs in Nanotechnologies,” in *2020 30th International Conference Radioelektronika (RADIOELEKTRONIKA)*, pp. 1–5, 2020. DOI 10.1109/RADIOELEKTRONIKA49387.2020.9092428.
- [64] L. Nagy, et. al., “Ultra Low-Voltage Rail-to-Rail Comparator Design in 130 nm CMOS Technology,” in *2019 IEEE 22nd International Symposium on Design and*

- Diagnostics of Electronic Circuits & Systems (DDECS)*, pp. 1–6, 2019. DOI 10.1109/DDECS.2019.8724650.
- [65] T. Rooijers, et. al., “A Fill-In Technique for Robust IMD Suppression in Chopper Amplifiers,” *IEEE Journal of Solid-State Circuits*, vol. 56, no. 12, pp. 3583–3592, 2021.
- [66] G. Choi, et. al., “Current-Reused Current Feedback Instrumentation Amplifier for Low Power Leadless Pacemakers,” *IEEE Access*, vol. 9, pp. 113748–113758, 2021.
- [67] H. Kim, et. al., “Chopper-Stabilized Low-Noise Multipath Operational Amplifier With Dual Ripple Rejection Loops,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 67, no. 11, pp. 2427–2431, 2020.
- [68] T. Rooijers – J. H. Huijsing – K. A. A. Makinwa, “An Auto-Zero-Stabilized Voltage Buffer With a Quiet Chopping Scheme and Constant Sub-pA Input Current,” *IEEE Journal of Solid-State Circuits*, vol. 57, no. 8, pp. 2438–2448, 2022.
- [69] T. Qu, et. al., “A 0.24- μ V-Input-Ripple 8- μ V-Input-Offset 10-MHz Chopper Operational Amplifier Employing MOS-DAC-Based Offset Calibration,” *IEEE Solid-State Circuits Letters*, vol. 6, pp. 17–20, 2023.
- [70] M. Yoo, et. al., “Low-Noise Resistive Bridge Sensor Analog Front-End Using Chopper-Stabilized Multipath Current Feedback Instrumentation Amplifier and Automatic Offset Cancellation Loop,” *IEEE Access*, vol. 10, pp. 12385–12394, 2022.
- [71] S. Xie – X. Liao – L. Liu, “An Ultra-Low Power Fully Differential Voltage-to-Time Converter with DC Offset Calibration for RF Wake-Up Receivers,” in *2021 IEEE International Conference on Integrated Circuits, Technologies and Applications (ICTA)*, pp. 113–114, 2021.
- [72] D. Kim, et. al., “A Start-Up Boosting Circuit with $133\times$ Speed Gain for 2-Transistor Voltage Reference,” in *2017 IEEE Custom Integrated Circuits Conference (CICC)*, pp. 1–4, 2017.
- [73] M. Seok, et. al., “A 0.5V 2.2pW 2-Transistor Voltage Reference,” in *2009 IEEE Custom Integrated Circuits Conference*, pp. 577–580, 2009. DOI 10.1109/CICC.2009.5280773.
- [74] Ch. Sawigun – X. Yang – C. Mora Lopez, “Ultra-Low-Power Voltage References: Exploring Picowatt-Level Design Using CMOS and Hybrid Architectures,” *IEEE Solid-State Circuits Magazine*, vol. 15, no. 4, pp. 50–57, 2023. DOI 10.1109/MSSC.2023.3309769.

Publikácie autora súvisiace s témou práce

Vedecké časopisy

[DMC1] D. Maljar, et. al., "Digital Calibration of Input Offset Voltage and Its Implementation in FDDA Circuits," *Electronics*, Vol. 12, No. 22, 2023. DOI: 10.3390/electronics12224615.

Podiel autora: 50 %

IF/Q časopisu: 2022: 2.900 - IF, Q2 - JCR Best Q, 0.628 - SJR, Q2 - SJR Best Q

[DMC2] R. Ravasz, et. al., "Measurement Approach to Evaluation of Ultra-Low-Voltage Amplifier ASICs," *Measurement Science Review [elektronický zdroj]*, Vol. 24, No. 1, pp. 9–16, 2023. DOI: 10.2478/msr-2024-0002.

Podiel autora: 10 %

IF/Q časopisu: 2022: 0.900 - IF, Q4 - JCR Best Q, 0.306 - SJR, Q3 - SJR Best Q

Príspevky z konferencií v databázach WoS alebo Scopus

[DMZ1] D. Maljar – M. Šovčík – V. Stopjaková, "Enhanced Reliability of Fully Differential Difference Amplifier Through On-chip Digital Calibration," In *2021 IEEE 24th International Symposium on Design and Diagnostics of Electronic Circuits Systems (DDECS)*, pp. 119–122, 2021. DOI: 10.1109/DDECS52668.2021.9417022.

Podiel autora: 40%

[DMZ2] D. Maljar, et. al., "Autocalibration Approach for Improving Robustness of Analog ICs," In *2022 IEEE 25th International Symposium on Design and Diagnostics of Electronic Circuits and Systems (DDECS)*, pp. 54–59, 2022. DOI: 10.1109/DDECS54261.2022.9770155.

Podiel autora: 50%

[DMZ3] D. Maljar – D. Arbet – V. Stopjaková, "The Autocalibration of Analog ICs for Suppressing the Influence of Process Variations," In *2022 14th International Conference Elektro (ELEKTRO)*, 2022. DOI: 10.1109/ELEKTRO53996.2022.9803448.

Podiel autora: 60%

Príspevky z doktorandských a iných konferencií

[DMK1] D. Maljar, "Koncept autokalibrácie analógových IO za účelom potlačenia vplyvu okrajových podmienok technológie," In *2021 [elektronický zdroj] Počítačové architektúry a diagnostika : Česko-slovenský seminár pro studenty doktorského studia (PAD)*, pp. 15–18, 2021.

Podiel autora: 100%

[DMK2] D. Maljar – M. Šovčík – V. Stopjaková, "Review of Techniques for Calibration of Analog Integrated Circuits," In *2021 ELITECH'21 [elektronický zdroj] 23th Conference of Doctoral Students*, 2021.

Podiel autora: 40%

[DMK3] D. Maljar – V. Stopjaková, "Methods of Increasing the Analog ICs Robustness in CMOS Process," In *2022 ELITECH'22 [elektronický zdroj] 24th Conference of Doctoral Students*, 2022.

Podiel autora: 90%

[DMK4] D. Maljar – R. Ravasz – V. Stopjaková, "Digital Autocalibration of Analog ICs and its Practical Application," In *2023 11th International Conference on Advances in Electronic and Photonic Technologies (ADEPT)*, pp. 99–102, 2023.

Podiel autora: 50%

Ostatné publikácie autora

D. Maljar – V. Stopjaková, "Understanding the Fourier and Laplace Transforms through Visual Interpretation," In *2021 19th IEEE International Conference on Emerging eLearning Technologies and Applications : Information and Communication Technologies in Learning (ICETA)*, pp. 231–236, 2021. DOI: 10.1109/ICETA54173.2021.9726659.

Podiel autora: 90 %

D. Maljar – V. Stopjaková – D. Arbet, "Visualization of Noise Shaping Through Models of a First-Order Sigma-Delta Modulator with Single-Bit Quantizer," In *2020 18th IEEE International Conference on Emerging eLearning Technologies and Applications : Information and Communication Technologies in Learning (ICETA)*, pp. 431–437, 2020. DOI: 10.1109/ICETA51985.2020.9379253.

Podiel autora: 70 %

D. Maljar – D. Arbet – V. Stopjaková, "130 nm CMOS Fully Differential SC Filter for Ultra-Low Voltage Sigma-Delta Converter," In *Applied Electronics 2020 25th International conference (AE)*, pp. 77–80, 2020. DOI: 10.23919/AE49394.2020.9232802.

Podiel autora: 70 %

D. Maljar – D. Arbet – V. Stopjaková, "Design of the Ultra-Low Voltage Sigma-Delta Converter in CMOS Nanotechnology," In *ELITECH'20 [elektronický zdroj] 22nd Conference of Doctoral Students*, 2020.

Podiel autora: 34 %

D. Arbet, et. al., "High Power Supply Rejection LDO Regulator for Switching Applications," In *2022 45th Jubilee International Convention on Information, Communication and Electronic Technology (MIPRO)*, pp. 162–167, 2022. DOI: 10.23919/MIPRO55190.2022.9803648.

Podiel autora: 20 %

R. Ondica, et. al., "Efficiency Study of MPPT Algorithms in HDL for Full Integration of Solar-Powered Voltage Converter," In *2023 21st Year of International Conference on Emerging eLearning Technologies and Applications : Information and Communication Technologies in Learning (ICETA)*, pp. 389–394, 2023. DOI: 10.1109/ICETA61311.2023.10343727.

Podiel autora: 20 %

R. Ravasz, et. al., "Design of the Slope Detection Circuit for On-Chip Current Sensing," In *2023 30th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, pp. 111–115, 2023. DOI: 10.23919/MIXDES58562.2023.10203248.

Podiel autora: 20 %

R. Ondica, et. al., "Fully Integrated On-Chip Inductors: An Overview," In *2022 20th Anniversary of IEEE International Conference on Emerging eLearning Technologies and Applications : Information and Communication Technologies in Learning (ICETA)*, pp. 472–478, 2022. DOI: 10.1109/ICETA57911.2022.9974657.

Podiel autora: 10 %

R. Ondica, et. al., "Fully Integrated Multi-Layer Stacked Structure of Integrated Inductor with Patterned Ground Shield," In *2022 18th Biennial Baltic Electronics Conference (BEC)*, 2022. DOI: 10.1109/BEC56180.2022.9935589.

Podiel autora: 10 %

R. Ravasz, et. al., "Introduction to Teaching the Digital Electronics Design Using FPGA," In *2022 20th Anniversary of IEEE International Conference on Emerging eLearning Technologies and Applications : Information and Communication Technologies in Learning (ICETA)*, pp. 537–542, 2022. DOI: 10.1109/ICETA57911.2022.9974732.

Podiel autora: 10 %

R. Ondica, et. al., "An Overview of Fully On-Chip Inductors," *Radioengineering*, Vol. 32, No. 1, pp. 11–22, 2023. DOI: 10.13164/re.2023.0011.

Podiel autora: 5 %

R. Ondica, et. al., "Analysis of Switching Boundaries of a Fully Integrated DC-DC Boost Converter," In *ELITECH'23 [elektronický zdroj] 25th Conference of Doctoral Students*, 2023.

Podiel autora: 5 %